

# テラビット情報処理三次元集積アーキテクチャ

岩田 穆 (先端研半導体集積科学専攻 教授),  
佐々木守 (先端研半導体集積科学専攻 助教授),  
亀田成司, 安藤博士 (COE 研究員),

吉田毅, 汐崎充(先端研量子物質科学専攻 D3), 小野将弘(先端研量子物質科学専攻, D1)

## 1. 研究目的

### 1.1 次世代の集積システムの新パラダイム

エレクトロニクスにおける情報処理の3要素は①演算、判断 ②記憶、学習、③通信、情報移動である。半導体メモリの進歩は著しいものの、これまでの延長では大容量記憶を効率的に使うにはどうするかという疑問が出てくる。「我々は人の顔や物をどのように記憶しているのか」、この問題は解明されていないが、単純に画像の特徴を分析して、記憶、照合、認識しているだけではないことは確かである。画像のみでなく、他の情報と統合して記憶し、しかも、脳の複数の部分に分散的にパターンで記憶していることが分かっている。

生命体の情報処理は、神経細胞という速度が遅く、変動な雑音のために信頼性の高くないデバイスを使って、膨大な規模の冗長性のあるネットワークを構成している。そして、限られたエネルギーで処理して、生命を守り繁栄させるいる。その戦略は膨大な数のニューロンを使って、超並列に色々の方法で解析して、最も適した結果を得ることであった。

この生命体を模倣するには、分散する多数の情報を収集・処理して、これを統合して大局的な判断することが難しい課題と考えられる。これは情報通信のネックともいえる。ムーアの法則による限界を破る有望な解決策はナノデバイスと革新的なインタコネクション技術を駆使した三次元集積技術であろう。[1]

如何にして通信のボトルネックを解決するか

21世紀COEでは、電気配線ではなく、チップ内、チップ間を無線で情報通信する技術を研究している。正確な位置精度を持ったチップ間貫通配線を使わずに、デジタル・アナログ・センサー機能などの高機能を、三次元集積することを可能にする。光を使った通信やナノ構造の記憶デバイスに挑戦し、デバイスモデリングとプロセスとの融合で、無線や光を統合した集積化技術を実現する。さらに、生命体アルゴリズムと超高性能回路・モデリング技術の融合により、超並列処理と学習処理で知識や戦略を構築する脳型処理システムの実現を目指す。

### 1.2 三次元集積のためのインタコネクション技術

異なる機能と技術のマルチチップを三次元集積する技術を開拓しようとしている。そのために最も重要な技術はチップ間のインタコネクト技術である。このために我々は2種の無線インタコネクト技術を提案した。システム全体にわたるクロック分配やデータ転送に用いるグローバル無線インタコネクト、隣接した局所的に分散しているデータを並列にチップの間で転送するローカル無線インタコネクト技術である。集積化導波路、光スイッチ、光共振器などを用いた光印らコネクションも超高速・超広帯域データ転送に用いる。

### 1.3 テラビット情報処理システムのアーキテクチャ

実現する機能の目標は、自然な動画から複数の物体を認識する機能であり、そのために実時間画像解析と柔軟性の高いパターンマッチング技術と参照データベースの学習機能を実現することを狙う。さら、人間を超えた能力を持ったロボット実現するための高度な判断能力を持った脳を実現することも目指す。

このようなシステムは10GHzで動作するコンピュータとギガバイト規模のデータベースにアクセスするための超並列の処理ユニットが必要である。このようなテラビット情報処理は、小型、低電力、低コストで実現されなければならない。このような条件を満足するような将来のエレクトロニクスにおける画期的な解決先をナノデバイス集積技術を用いて提案すること目的にしている。

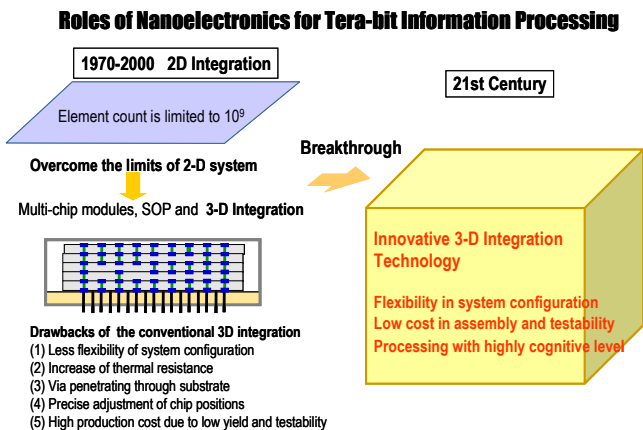


Fig.1 Roles of nanoelectronics for era-bit information processing

## 2. これまでの研究成果概要

### 2.1 MOS デバイスモデルと回路設計

高周波動作とSOI構造のMOSデバイスモデルとして、HiSIMが三浦グループにより開発されている。これは表面ポテンシャルを導入した物理の原理どおりに動作を記述することにより、少ないパラメータで高い精度を実現している。2003年5月に60nm以降の国際標準モデルの候補としてCMC(Compact Modeling Council)によって選定された。

図2に示すように0.18 $\mu\text{m}$ -CMOS技術を用いてMOSデバイスとVCOを搭載したRFテストチップを設計、試作した。GHz領域におけるHiSIMモデルのパラメータ抽出とGHz領域の精度を評価し、回路設計の高精度化を研究した。(三浦グループと協力)

神経信号をセンシングすることを目的とした低雑音、高周波回路を研究・開発した。チョップ安定化技術を用いることにより、通常のCMOSデバイスで、1 $\mu\text{V}$ の微弱な電圧を増幅することを可能にした。また、低電圧AD変換器、無線送信機を開発した(吉田、博士課程学生)また、設計の信頼性を上げるために基板雑音解析技術を開発した。有線CDMA方式の融通性の高い多重化技術に基づくチップ間の通信送受信回路を設計し、2Gbpsのビットレートを実現した。(汐崎、博士課程学生)

### 2.2 無線インタコネクション [2,3]

#### (1) グローバル無線インタコネクト(GWI)

集積化アンテナとUWB方式を用いた送受信回路を吉川グループが研究・開発している。図3に示すように集積化アンテナを用いてシリコン基板中の電磁波伝播の実験を行った。プロトンを注入した高抵抗基板では20GHzの電磁波伝播損失は十分低いことを確認した。[4] 0.18 $\mu\text{m}$  CMOSデバイスを用いて、UWBトランシーバーを設計し、3GHz帯域で、50Mbpsの転送速度を得られることをシミュレーションにより確認した。

#### (2) ローカル無線インタコネクション(LWI)

図3に示すような集積化インダクターの共振結合により積層化した隣接チップ間の情報転送を行うことを提案した。インダクターと送受信回路を0.25 $\mu\text{m}$ CMOS技術を用いて設計した。シミュレーションによると1Gb/s/CHのデータレートが9mW/CHの消費電力で実現できた。90nmのデバイス技術を用いると2-5 Gbps/CHの転送速度が1mW/CHの消費電力で実現できるであろう。インダクタサイズで決まるチップ面積と消費電力の最適化より100CH以上の隣接チップ間の並列データ転送を実現できる。(佐々木グループ)

### 2.3 GWI と LWI を用いた 3次元集積アーキテクチャ

この3次元集積技術を3DCSS: 3-dimensional custom stack systemと呼ぶ。3DCSSでは、種々のデバイス技術によって製造されたチップをスタックし、各チップの間をGWIとLWIによって接続する。GWIにより10GHz以上のクロックをチップ間に分配したり、双方向バス、ブロードキャストを実現できる。マルチチップにわたる大

規模なデータベースにアクセスして、情報統合を行うことを可能にする。LWIは二次元画像データをチップ間で並列転送することができるので、生体を模擬したネットワーク型のビジョンシステムやニューラルネットワーク型の情報処理の実現を可能にする。このように2種類の無線インタコネクトをうまく併用することにより、チップ間通信のネックを解消して、テラビット情報処理を実現する基盤技術を提案し、シミュレーションおよび実験により、実現性を確認した。

### 1st Test Chip for modeling RF MOS and RF Circuits

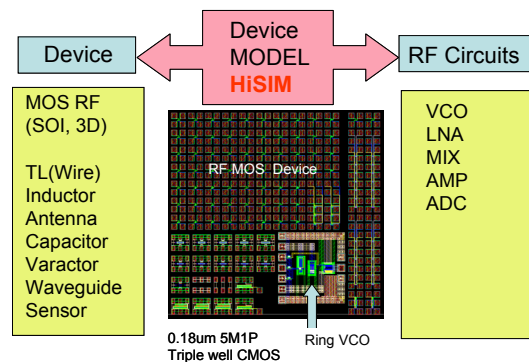


Fig.2 Test chip for modeling RF MOS and RF circuits

### Global Wireless Interconnect using Si Integrated Antenna and UWB Communication

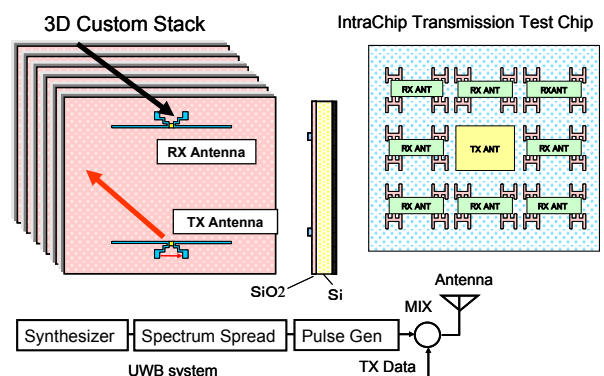


Fig.3 Wireless interconnection using integrated antennas

### Local Wireless Interconnect using Resonant Coupling

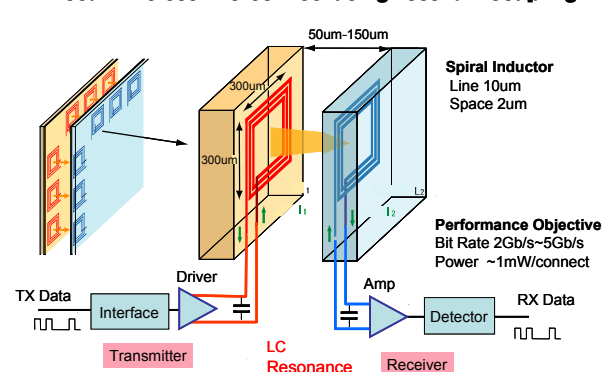


Fig.4 Wireless interconnection using resonance coupling of an inductor pairs

## 2.3 アルゴリズムとアーキテクチャ

### (1) 生体情報処理に基づくビジョンシステム[5,6,7]

マルチチップシステムでは、処理機能とネットワークを各チップに分割配置することに、高い空間分解能と複雑な機能を実現できる。無線インタコネクタによりマルチチップの欠点である配線問題を解決できる。このように、3DCSS は生体視覚系を模倣した階層的処理をマルチチップで実現するのに適している。

パルス幅でアナログ情報をあらわす PWM 信号[8]とローカル無線インタコネクタを用いたマルチチップビジョンシステムが亀田 (COE 研究員) によって提案された。図5に例示するように、二次元画像の空間フィルタによる特徴強調と特徴抽出がマルチチップにより実現できる。[6,7,8]第1ステップとして、画素の列並列転送 PWM 信号インタフェースを用いた回路アーキテクチャでプロトチップを試作し、LWI のテストチップと組み合わせて基礎実験する。第2ステップとして無線インタコネクタと階層的画像処理アルゴリズムを搭載したテストチップを試作して、三次元集積の動作実験、性能確認を行う。

### (2) 主成分分析マルチオブジェクト画像認識 [9,10]

実時間の高度な画像認識を実現するために、三次元集積技術によるマルチオブジェクト認識が安藤 (COE 研究員) によって提案された。

イメージセンサー、画像データ正規化処理、オブジェクト検出処理、マルチオブジェクトデータベース、マッチング認識処理の機能を搭載したマルチチップによる三次元集積 (3DCSS) システムを図6に示す。

シミュレーションにより固有顔と呼ばれる方法を基礎にして、特徴表現の学習によりベータベースの構成法に改良を加えることにより、自然画像から顔やそれ以外のオブジェクトを検出することができることを確認した。

高性能PC、USBカメラ、Win32APIに基づくソフトウェアで構成された実時間動作する顔認識プロトシステムを開発した。このシステムは10 frame/s で動作し、フレーム内で数個の顔を認識することができる。今後、このアルゴリズムを発展させて、マルチオブジェクト検出および認識システムアーキテクチャを実現し、認識チップとデータベースチップのプロトタイプを研究・開発する。

### (3) ロボットブレイン

第1ステップの目標はゲームロボットの戦略学習モデルの提案である。第2ステップの目標は戦略学習モデルを実現するアーキテクチャとそのチップ化である。戦略学習モデルは小野 (博士課程学生) によって研究されている。

LVQ 学習アルゴリズムを改良して、ゲームの状況変化に対応して攻撃と防御の戦略を作り出すモデルをえることができた。このモデルは階層的処理と整合性のよ

い三次元集積に適しているので、三次元集積を目指して研究を展開する。

## 3. 結論と今後の予定

三次元集積アーキテクチャとそれを用いたテラビット情報処理システムを提案するとともに、実現性の原理的な実証を行った。無線インタコネクタを用いることによる、融通性の高いチップのシステム化ができ、チップ間通信のネックを解消してテラビット情報処理を実現できる。三次元集積のために、2種の無線インタコネ

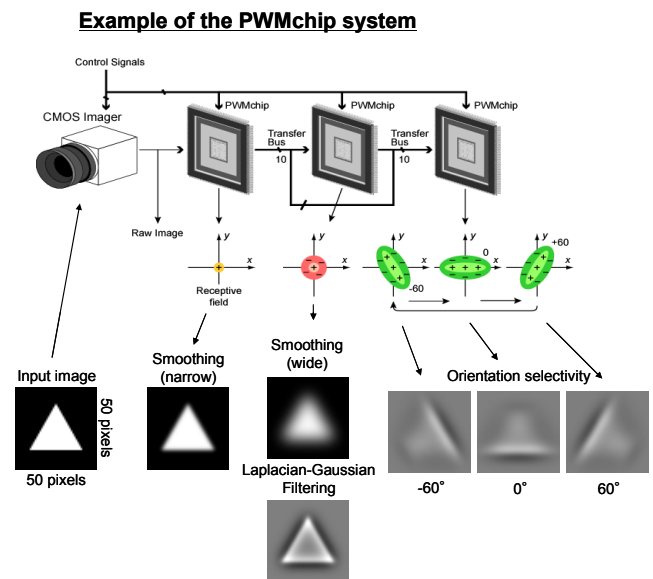


Fig.5 Example of image processing of multi-chip vision

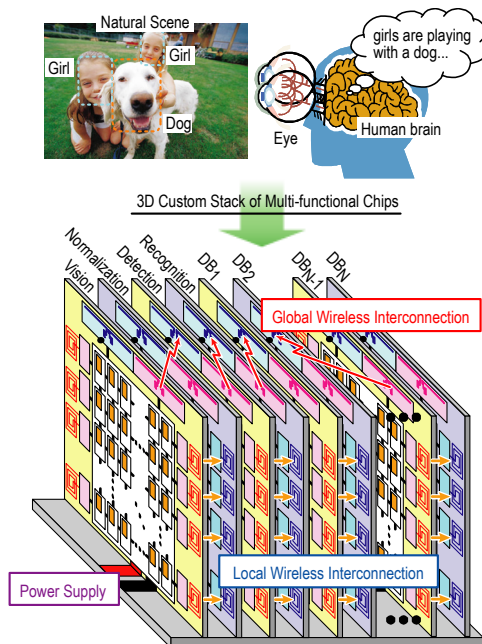


Fig.6 A concept of multi-object recognition system using 3DCSS

クトを考案し、HiSIMモデルを用いた回路設計、階層的ビジョンシステムアーキテクチャ、マルチオブジェクト認識のアルゴリズムを開発した。今後、テストチップの評価、三次元集積検証チップを試作し、基盤技術として固める。

#### 参考文献

- [1] Burnss et al. ISSCC2001, pp.268-269, Konayagi et al. ISSCC2001, pp.270-271
- [2] Kanda et al. ISSCC2003, pp.186-187
- [3] Mizoguchi et al. ISSCC2004, pp.142-143
- [4] A.B.M.H. Rashid, *et al.*, IEEE Electron Device Letters. 23(12) (2002) pp.731-733.
- [5] S. Kameda, *et al.*, Proc. IJCNN'03. (2003) pp.387-392.
- [6] S. Kameda, *et al.*, IEEE Trans. Neural Networks. 14(5) (2003) pp.1405-1412.
- [7] A. Moini, *Vision Chips* (2000).
- [8] A. Iwata, *et al.*, IEICE Trans. Fundamentals. E84-A(2) (2001) pp.486-496.
- [9] M. Yang, *et al.*, IEEE Trans. Pattern Analysis and Machine Intelligence, vol. 24, pp. 34-58, 2002.
- [10] M. A. Turk, *et al.*, CVPR'91, pp.5860591, 1991.

### 3. これまでの研究発表、特許等

#### ① 原著論文

1. T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels", IEICE Trans. Fundamentals., vol.E87-A, pp.376-383, Feb. 2004.
2. H. Ando, T. Morie, M. Miyake, M. Nagata and A. Iwata "Image Segmentation/Extraction Using Nonlinear Cellular Networks and their VLSI Implementation Using Pulse-Modulation Techniques", IEICE Trans. Fundamentals, Vol. E85-A, No. 2, pp. 381-388, 2002.
3. H. Ando, T. Morie, M. Miyake, M. Nagata and A. Iwata "Image Segmentation/Extraction Using Nonlinear Cellular Networks and their VLSI Implementation Using Pulse-Modulation Techniques", IEICE Trans. Fundamentals, Vol. E85-A, No. 2, pp. 381-388, 2002.
4. K. Katayama, M. Nagata, T. Morie and A. Iwata, An Hadamard Transform Chip Using the PWM Circuit Technique and Its Application to Image Processing, IEICE Trans. Electron., Vol. E85-C, NO.8, pp. 1596-1603, Aug. 2002.
5. K. Katayama, and A. Iwata, A High-Resolution CMOS Image Sensor with Hadamard Transform Function, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences E86-ANO.2, pp. 396-403, Aug.2003.
6. T. Yoshida, M. Akagi, T. Mashimo, A. Iwata, M. Yoshida and K. Uematsu, A Design of Wireless Neural-Sensing LSI, IEICE Trans. Electronics, vol.E87-C, pp.996 -1002. June 2004.
7. T. Morie, T. Nakano, J. Umezawa, and A. Iwata, Gabor-Type Filtering Using Transient States of Cellular Neural Networks, Intelligent Automation and Soft Computing, in press, 2004.

#### ② 国際会議プロシーディング等

1. M. Nagata, Y. Murasaka, Y. Nishimori, T. Morie, and A. Iwata Substrate Noise Analysis with Compact Digital Noise Injection and Substrate Models, Proc. 7th Asia and South Pacific Design Automation Conf, pp. 71-76, Bangalore, Jan. 2002.
2. T. Morie, J. Umezawa, T. Nakano, H. Ando, M. Nagata, and A. Iwata, A Biologically-Inspired Object Recognition System Us-

- ing Pixel-Parallel Feature Extraction VLSIs, International Invitational Workshop on Intelligent Interface Devices, pp. 35-37, Kitakyushu, March 14, 2002.
3. M. Nagata, T. Morie, and A. Iwata, Modeling Substrate Noise Generation in CMOS Digital Integrated Circuits, IEEE 2002 Custom Integrated Circuit Conf. Orlando, May 2002.
4. K. Katayama and A. Iwata, A High-Resolution Hadamard Transform Chip, International Conference on Solid State Devices and Materials (SSDM), pp. 372-373, Nagoya, September17-19, 2002
5. T. Maeda, A. Iwata, M. Kawabata, and S. Orisaka A 10-GHz Bipolar VCO with Reduced Phase Noise, International Conference on Solid State Devices and Materials (SSDM), pp. 370-371, Nagoya, September17-19, 2002
6. H. Ando, T. Morie, M. Nagata, and A. Iwata, An Image Region Extraction LSI Based on a Merged/Mixed-Signal Nonlinear Oscillator Network Circuit, 28th European Solid-State Circuits Conference (ESSCIRC 2002), CP.11, pp. 703-706, Florence, Italy, Sept. 26, 2002
7. K. Katayama and A. Iwata, Pulse Coupled Neural Network using Coupled Phase Locked Loop, International Symposium on Nonlinear Theory and its Applications (NOLTA), pp. 853-856, Xi'an, October 7-11, 2002
8. T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Neural Signal Sensing LSI with Multi-Input Channels", Proc. of Workshop on SASIMI, pp. 206-210, 2003.
9. A. Iwata, (Invited) Advanced Design for Analog-RF and Digital Mixed LSIs- Crosstalknoise Evaluation and Reduction, Proc. of the Workshop on SASIMI, pp.17-22, Hiroshima, 2003.
10. Heayn-Jun Cho, Kenji Shimazaki, Hiroyuki Tsujikawa, Shouzou Hirano, Shirou Doushoh, Makoto Nagata, Atsushi Iwata, Takafumi Ohmoto, A Substrate Noise Analysis Methodology for Large-Scale Mixed-Signal ICs, Wen Kung Chu, Nishath Verghese, Proceedings of IEEE 2003 Custom Integrated Circuits Conference (CICC 2003), pp. 369-372, Sept. 2003.
11. Seiji Kameda and Tetsuya Yagi, A silicon retina system that calculates direction of motion, Proc. The 2003 IEEE International Symposium on Circuits and Systems vol.IV, pp.792-795, Bangkok, Thailand, 2003.5.
12. Seiji Kameda and Tetsuya Yagi, An analog silicon retina with multi-chip configuration, International Joint Conference on Neural Networks 2003 Conference Proceedings, pp.387-392, Oregon, the United States, 2003.7.
13. T. Morie, J. Umezawa, and A. Iwata, A Pixel-Parallel Image Processor for Gabor Filtering Based on Merged Analog-Digital Architecture, Accepted for presentation in 2004 Symposium on VLSI Circuits, Honolulu, Hawaii, June 17-19, 2004.
14. M. Shiozaki, T. Mukai, M. Ono, M. Sasaki and A. Iwata, "A 2Gbps and 7-multiplexing CDMA Serial Receiver Chip for Highly Flexible Robot Control System," Accepted for presentation in 2004 Symposium on VLSI Circuits, June, 2004. .
15. T. Morie, T. Nakano, J. Umezawa, and A. Iwata Gabor Filtering Using Cellular Neural Networks and its Application to Face/Object Recognition, Accepted for presentation in World Automation Congress, Seville, Spain, June , 2004.
16. K. Sasaki, T. Morie, and A. Iwata, A Spiking Neural Network with Negative Thresholding and Its Application to Associative Memory, Accepted for presentation in 2004 IEEE Int. Midwest Symposium on Circuits and Systems (MWCAS2004), Hiroshima, July 25-28, 2004.

#### 特許

1. 半導体装置 特願 2004-10053, 2004.1.19
2. 画像処理装置 特願 2004-22317, 2004.01.28