

スパイラルインダクタ間の共振特性を利用したチップ間無線インタコネク

佐々木 守 (先端研半導体集積科学専攻 助教授),
 有菌 大介 (工学部第2類 B4),
 岩田 穆 (先端研半導体集積科学専攻 教授)

1. 研究目的

半導体デバイスの微細化に伴い、プロセッサ、メモリ、アナログ回路、RF インタフェースのような様々な回路ブロックをシングル・チップとして集積可能になった。それらは、システムLSIと呼ばれる。しかしながら、システムLSIの開発には、相当な時間を必要とし、かつ、シングル・チップ上に種々のシステム機能を集積するため歩留まりの低下を招く。代案として、システム・イン・パッケージ技術が注目されている。本COEプログラムでも、3次元カスタムチップ・スタックシステム(3DCSS)の開発は重要なテーマの一つである。従来の3次元IC実装技術では、大きな縦横比を必要とする貫通ビアが、積層化されたチップを接続するために必要である¹⁾。そこで、貫通ビアを形成することを回避できるパッド間の容量結合を利用したチップ間無線相互接続が提案されている²⁾。しかし、容量結合を利用するため、原理的にチップ間隔を広げることができず、積層化された内部チップの放熱の問題など課題は残っている。

本COEプログラムでは、2つのタイプの無線接続技術を取り扱っている。1つはグローバル接続であり、マイクロ波を使って、隣接チップ間を超える通信に用いる³⁾。もう一つは、向かい合うチップ間での多重並列パスを実現するローカル接続である。グローバル接続は、全チップへのブロード・キャストやグローバル制御などに利用できる。一方、ローカル接続は、多重並列構造によりデータ通信バンド幅を大きくすることが可能で、2次元のビジョン情報などのデータ通信に役立つ。本稿では、対向するチップ間に集積化されたスパイラル・インダクタ対の共振特性を利用する無線インタコネク技術(Fig.1 参照)を提案する。

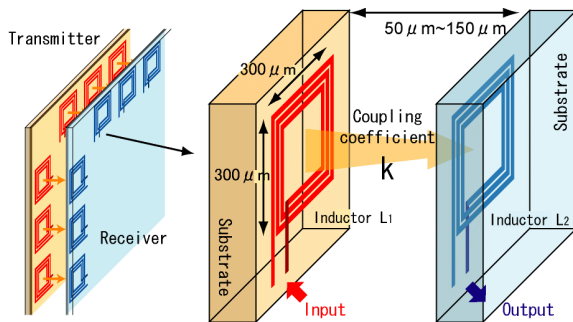


Fig.1 Spiral inductor based wireless interconnect.

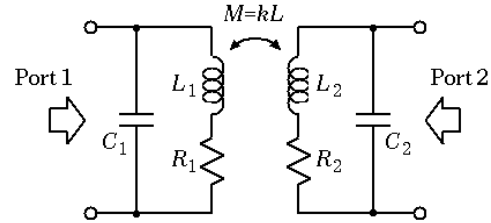


Fig.2 An equivalent model of spiral inductor pair.

2. これまでの研究成果概要

2-1. スパイラル・インダクタ対の解析とモデル化

設計において、回路シミュレータを利用できるように、スパイラル・インダクタ対の集中定数等価回路を導入する。Fig.2にもっとも単純化されたスパイラル・インダクタ対の等価回路を示す。 L 、 C および R は、それぞれスパイラルインダクタの自己インダクタンス、寄生容量および損失抵抗である。また、 M と k は、スパイラルインダクタ間の相互インダクタンスおよび結合係数である。これらの素子の値を決定するため、まず、3次元電磁界解析法の一つであるFDTD法を用いて、Fig.2に示すポート間の2ポートSパラメータを計算した。その後、Fig.2の各回路素子の値を、FDTD法によって得られた2ポートSパラメータへのデータ・フィッティングによって決定した。フィッティング結果をFig.3に示す。スパイラル・インダクタのレイアウト形状は、線幅とスペースがそれぞれ $10\mu\text{m}$ と $2\mu\text{m}$ である。形は正方形として、外側の一边を $300\mu\text{m}$ とした。パラメータとして、巻き数およびインダクタ対間の距離を変化させた。Fig.3に、自己インダクタンスと巻き数の関係を示す。また、結合係数と巻き数の関係も同時にFig.3に示す。インダクタ対間の間隔が、 $50\mu\text{m}$ 、 $100\mu\text{m}$ 、 $150\mu\text{m}$ の場合の3つのグラフが示されている。

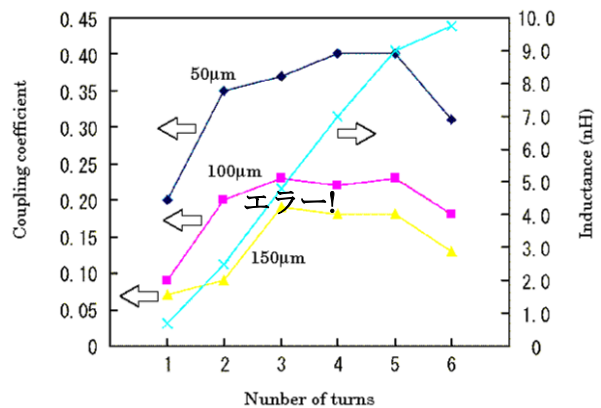


Fig.3 Results of 3D electromagnetic-field simulation.

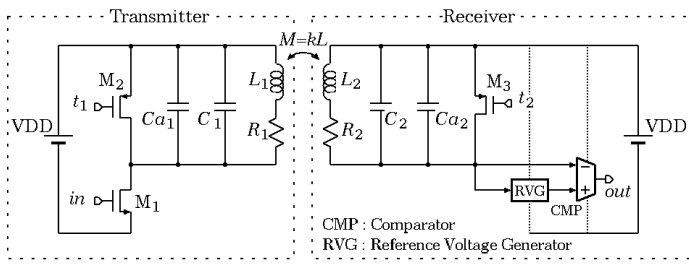


Fig.4 Circuit diagram.

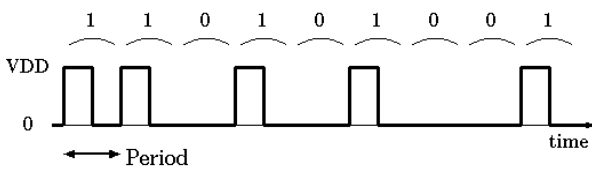


Fig.5 Return zero signal.

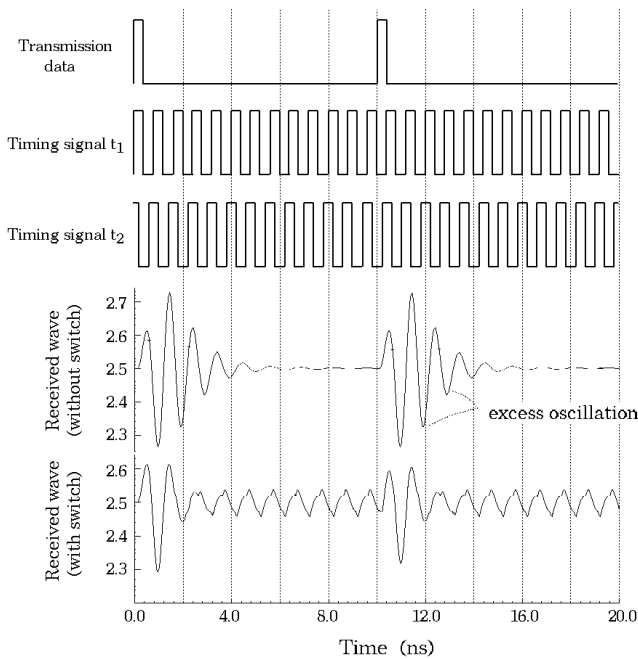


Fig.6 Simulation results.

2-2. 回路構成とSPICEシミュレーション

Fig.4 に、スパイラル・インダクタ対の回路モデルを含む送受信回路の構成を示します。まず、容量 C_{a1} および C_{a2} について考える。これらは、送信回路と受信回路の両方で共振回路を実現するためにインダクタ L_1 および L_2 に接続される。これらの容量なしにスパイラル・インダクタは自己共振周波数を持つが、 C_{a1} と C_{a2} は通常の通信に便利な周波数まで共振周波数を減少させる。MOSFET M_1 は送信回路の中でドライバーの働きをする。Fig.5 に示されるリターン・ゼロ信号が M_1 のゲートに与えられる。送信回路と受信回路の両方で、共振回路の共振周波数は、容量 C_{a1} および C_{a2} の接続により、リターン・ゼロ信号の送信周波数に等しくされる。このように共振

特性を利用することで受信信号の振幅を大きくすることができる。しかしながら、他方では、それは、Fig.6 の中で示されるような共振現象による過剰発振を引き起こす。過剰発振を抑えるために、MOSFET M_2 および M_3 が使用される。Fig.6 の中のタイミング信号 t_1 および t_2 は M_2 と M_3 をそれぞれ制御する。したがって、それらは、Fig.6 の中で示されるようなタイミングで、 L_1 および L_2 をショートさせて、過剰発振を抑えることができる。送信用のタイミング信号 t_1 は、送信データと同じ位相で制御される。一方、タイミング信号 t_2 は受信データのタイミングに合わせるべきである。このタイミング・チューニングは、マルチ・フェーズ発振器および Fig.7 の中で示されるマルチプレクサを用いて、実現できる。データ伝送サイクルは、Fig.8 の中で示されるように、4 段の差動遅延セルから構成されたリング発振器によって 8 つのフェーズに分割できる。さらに、マルチプレクサによって、8 つの異なるフェーズを持つクロック信号から最適のクロックを選択することでタイミング・チューニングが実行できる。Fig.8 に示すように、125ps のフェーズ分解能は 1Gbps 伝送に対して十分であり、タイミング制御は上記のようにデジタル回路で制御できる。

スパイラル・インダクタを含む送信回路および受信回路を、TSMC 0.25 μ m のミックスド信号 CMOS テクノロジーで設計した。また、SPICE によって回路シミュレーションを実行した。シミュレーションでは、導入したスパイラル・インダクタ対の回路モデルを使用した。供給電源 VDD は、2.5V である。Fig.6 に、シミュレーション結果を示す。Fig.6 の最下段で示されるように、 M_3 の寄生容量を通してタイミング信号 t_2 が多少漏洩しているが、過剰発振は抑えることができている。

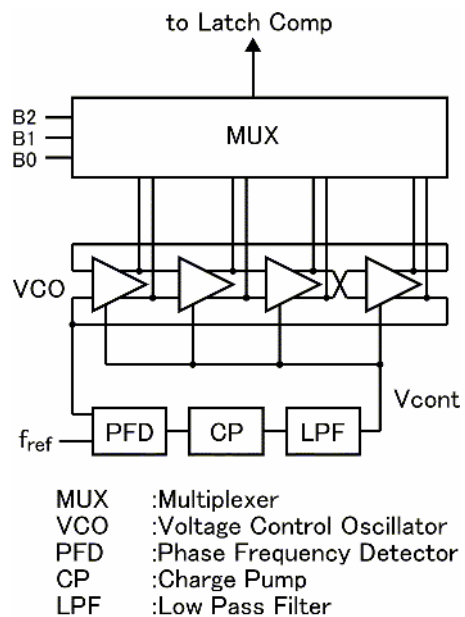


Fig.7 Timing tuning circuit

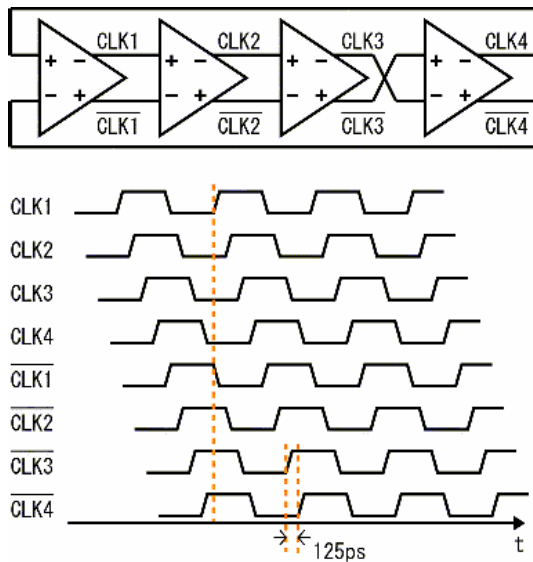


Fig. 8 Ring oscillator and eight phase clocks.

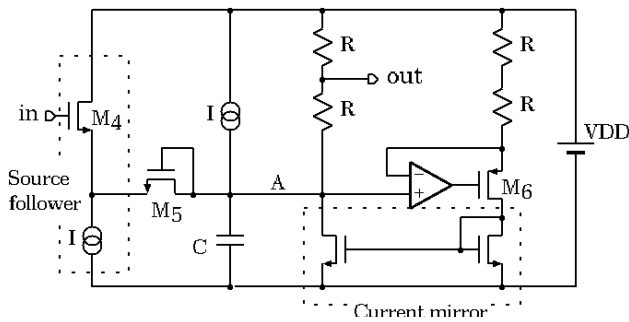


Fig. 9 Reference-voltage generator.

一方、共振特性は、受信信号の振幅を拡大させることができ、それはより低電力消費化を可能にする。事実、最大電力を消費しているドライバ M_1 へ流れる平均電流を、2.4mA まで縮小することができる。

積層するチップの発生熱量に応じて、積層するチップの間隔は制御されるべきである。チップ間隔の変化は、回路特性、特に受信信号の振幅に影響する。この影響を抑えるために、参照電圧生成回路を提案する。Fig.9 に、その回路構成を示す。

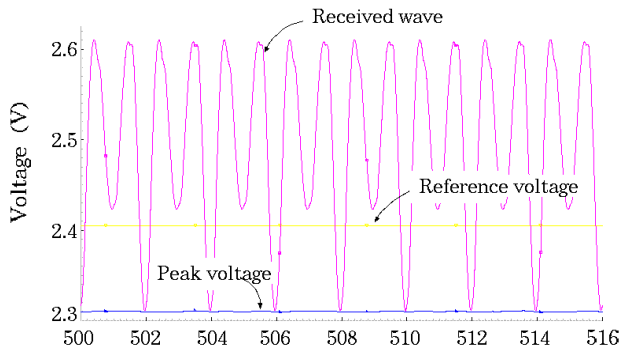


Fig.11 Simulation result of the reference-voltage generator.

この回路は、受信信号の振幅からの比較器用の参照電圧を生成することができる。まず、ソースフォロアが受信信号をバッファ・リングする。同時に、電圧レベルは、MOSFET M_4 のスレッショルド電圧によってレベルシフトされる。さらに、そのピーク電圧が、ダイオードとして作動する MOSFET M_5 によって検知される。ソースフォロアのレベルシフト電圧が、(ピーク電圧検出用ダイオードとして働く M_5 のスレッショルド電圧と等しいので、受信信号のピーク電圧をノード A に得ることができる。比較器用の参照電圧は、検出されたピーク電圧を 1/2 に分割することにより生成される。しかしながら、残念なことに参照電圧生成回路の振る舞いは受信するデータ・シーケンス・パターンによって影響を受ける。最もよい動作は、“...、1、0、1、0、1、0、...” シーケンスの場合である。このことを克服するために、チャンネルバンクを構成する。チャンネルバンク中で 1 本のチャンネルが、参照電圧生成のための専用チャンネルとして使用される。チャンネルバンクの概念を Fig.10 に示す。Fig.10 では、制御チャンネルは “...、1、0、1、0、1、0、...” シーケンスを伝送し、それは参照電圧生成のために排他的に使用される。他のチャンネルでは、受信回路中のラッチ・コンパレータは、制御チャンネルの RVG によって生成された参照電圧によってデータを評価する。参照電圧生成回路の回路シミュレーションの結果を、Fig.11 に示す。

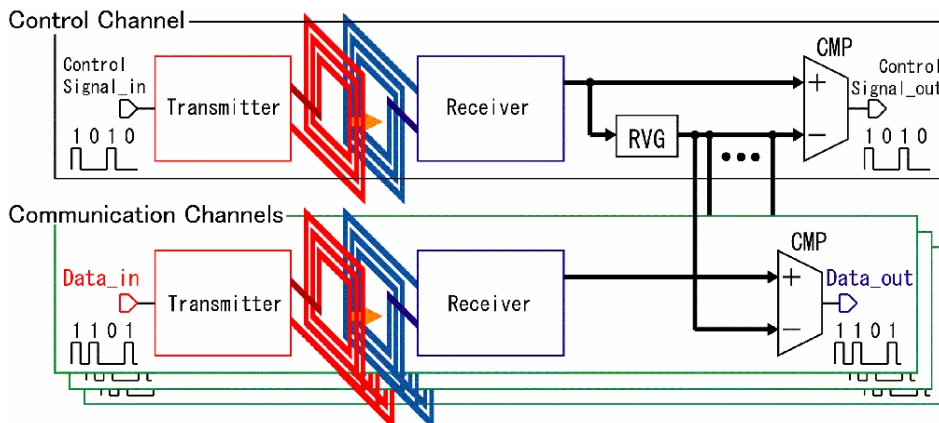


Fig.10 Channel bank employing same reference voltage

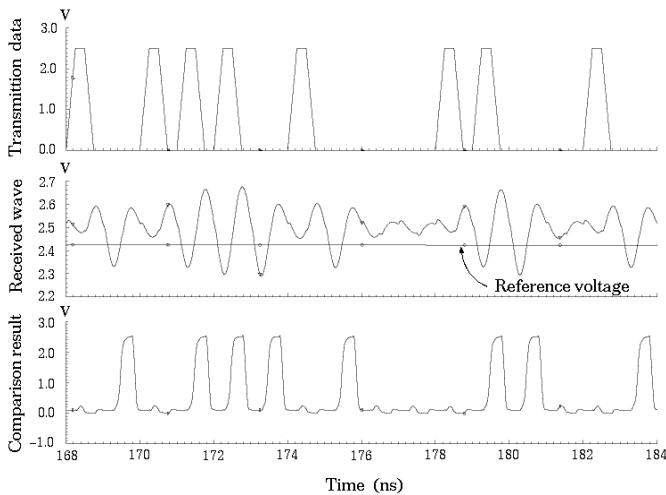


Fig.12 Simulation result of the communication channel.

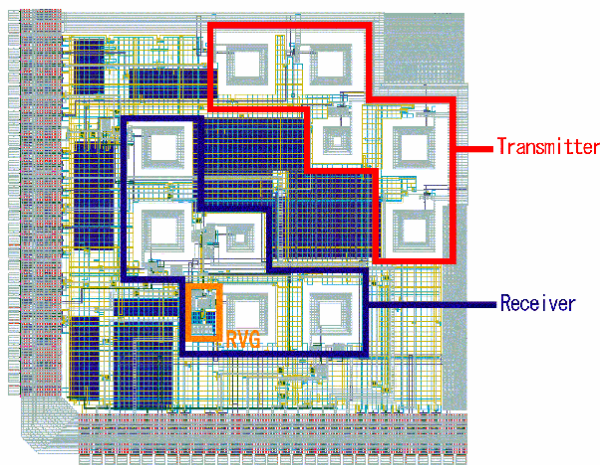


Fig.13 Chip layout

適切な参照電圧を得ることができている。比較器の出力を含む通信チャンネルのシミュレーション結果を、Fig.12 に示す。上段には、送信回路に与えられたデータ・シーケンスが記述される。中段には、受信波および参照電圧が記述される。最下段には、受信データ・シーケンスが記述される。それは位相シフトされていること以外は、送信されたデータ・シーケンスと同じである。このように、提案回路による伝送特性が回路シミュレーションにより確認できた。

提案する回路方式を実証評価するため、TSMC 0.25 μm のミックスド信号 CMOS テクノロジーを用いて、テスト・チップを試作した。チップ・レイアウトを Fig.13 に示す。さらに、実証実験用の評価基板を開発した。Fig.14 に示す。2 つの評価基板を、向かい合わせに配置して、通信特性の評価実験を行う。

3. まとめ

スパイラル・インダクタ対間の共振結合に基づいた、積層チップ間の相互接続スキームを提案した。通信特性(9mW/チャンネルの消費電力、1Gb/s/チ

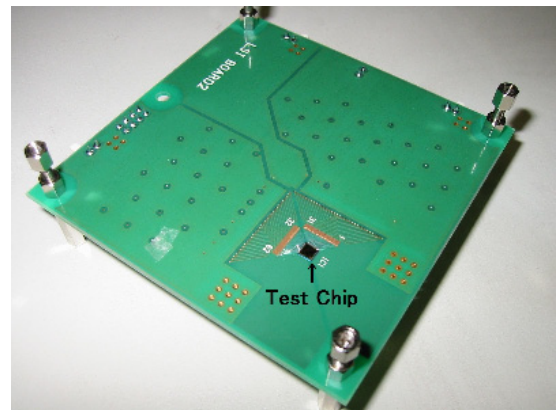


Fig.14 Evaluation board

ャンネルの伝送速度)を、SPICE シミュレーションによって確認した。また、スパイラル・インダクタ対による通信性能を実験評価するため、テストチップを TSMC 0.25 μm のミックスド信号 CMOS テクノロジーで試作した。試作チップを用いた実証実験を現在行っている。

4. 今後の予定

チャンネルの多重度を上げるためには、必須条件となる (1) スパイラル・インダクタのサイズ縮小、および (2) さらなる低電力消費化 が今後の予定である。目標としては、多重度:100 チャンネル、スパイラル・インダクタのサイズ:100 μm x100 μm 、消費電力:1mW/チャンネル である。

参考文献

- 1) J.Burns, et al., *ISSCC Digest of Tech Papers*, pp.142-143, Feb. 2001.
- 2) K.Kanda et al., *ISSCC Digest of Tech. Papers*, pp.186-187, Feb. 2003.
- 3) A.B.M.H.Rashid, et al., *IEEE Electron Device Letters*, Vol.23, No.12, pp.731-733, Dec. 2002.
- 4) D. Mizoguchi, et al., *ISSCC Digest of Tech. Papers*, pp.142-143, Feb. 2004.

5. これまでの研究発表、特許等

- ① 原著論文
- ② 国際会議プロシーディング等
 1. M. Sasaki, D. Arizono, A. Iwata, "A wireless chip interconnection using resonant coupling between spiral inductors," *Proc. of Second Hiroshima International Workshop on Nanoelectronics for Tera-Bit Information Processing*, (2004) pp.104-108.
 2. M. Sasaki, et al., "At-speed self-test LSI for high-speed serial link," submitted to *2004 International Conference on Solid State Devices and Materials (SSDM)*.
- ③ 特許
 1. 出願番号特願 2004- 10053:名称「半導体装置」、2004年1月19日出願