

# 無線インタコネクタを用いた脳型視覚システムの開発

亀田 成司 (COE 研究員), 岩田 穆 (先端研半導体集積科学専攻 教授)

## 1. 研究目的

生体視覚系は非常に膨大な量の視覚情報を超並列かつ階層的な回路構造により実時間で処理し、時々刻々変化する視覚環境に対して順応機構により即時に対応できる。このような生体視覚系に見られる超並列構造や機能を模倣し、アナログCMOS集積回路技術により実現した視覚センサチップは生体模倣型ビジョンチップあるいは脳型視覚デバイスと呼ばれ現在までに様々な種類のチップが開発されている<sup>4-6)</sup>。しかしながら、ビジョンチップでは各画素回路に画像処理回路を有しているため、チップ上に実現できる処理機能と単位面積当たりの画素数との間にトレードオフの関係が生じるというボトルネックが存在する。この問題を解決するために考案され開発されているのがマルチビジョンチップシステムである<sup>1),5)</sup>。マルチビジョンチップシステムでは視覚処理を複数のチップで分散的に行うことで解像度および処理機能を向上させることが可能である。一方、広島大学COEにおいて提案されている「無線インタコネクタを用いた3次元カスタムスタックシステム(3DCSS)」では、様々なテクノロジーにより開発され、階層的に配置された複数のチップをグローバル通信とローカル通信の2種類の無線通信により繋ぐことが出来る。3DCSSは高速な情報転送、複雑な配線の不要、カスタマイズの容易さ等の利点を持つので、脳型視覚システムのように階層的で複雑な構造を実現する上で非常に重要な基盤技術となる。そこで本研究では、3DCSSを用いた脳型視覚システムの構成することを目的とする。

## 2. これまでの研究成果概要

### 2.1 3DCSSを用いた脳型視覚システム

まず、本研究において提案する3DCSSを用いた脳型視覚システムの全体像を提案する。図1(A)に提案する視覚システムの構成図を示す。本システムは画像取得チップ、画像処理チップ、順応制御チップから構成される。図1(B)に画像取得チップの回路図を示す。画像取得チップはシステムの初段に位置する。各画素のフォトセンサで取得された画像情報は各画素の処理回路により超並列に処理される。処理後の画像情報はローカル接続により次段の画像処理チップへ転送される。このローカル接続は、画像取得チップの送信回路と画像処理チップの受信回路の間で形成される列並列のインダクタ対により構成される<sup>8)</sup>。さらに画像転送に列並列方式を用いることで、2次元の視覚情報を高速に送受信することが出来る。図1(C)に画像処理チップの回路図を示す。各画素のアナログメモリには画像取得チップからの処理画像情報が記憶される。記憶されたデータは各画素の処理回路により超並列に処理される。処理画像は次段の画像処理チッ

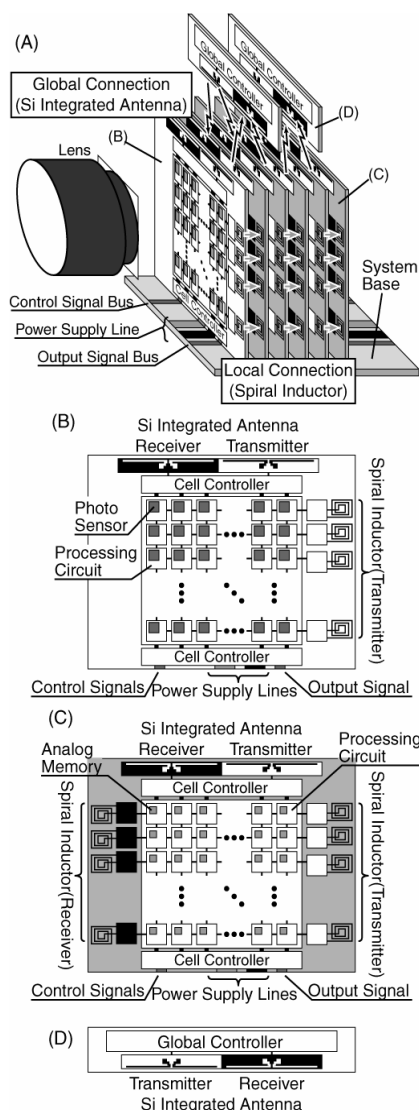


Fig.1 Visual processing system using the 3DCSS configuration. (A)System design, (B)block diagram of the image sensing chip, (C)the visual processing chip and (D)the adaptive control chip

プへローカル接続により送信される。各画像取得チップおよび画像処理チップは、図1(A)に示されているように、システム基板上に配置される。システム基板表面には電源線、タイミング制御バス、出力バスが形成され、各チップとシステム基板を接触させることで電源や信号を供給し、有線での処理情報読み出しが可能になる。そしてシステムの上部に配置されるのが順応機構チップである。図1(D)に順応機構チップの回路図を示す。順応機構チップは送受信回路に集積された超小型のダイポールアンテナを持ち、画像取得チップや画像処理チップからの処理情報を受け、グローバル接続により、これらのチップを制御する。グローバル接

続を用いることで順応機構チップは複数のチップを同時に制御することが出来る。本構成をとることで、超並列かつ階層的な構造による画像処理が実現でき、視覚環境に応じた順応的なシステム全体の制御も可能になる。

## 2.2 PWM方式に基づく列並列転送回路を持った画像処理チップの試作

提案した脳型視覚システム実現の第1段階として画像平滑化機能を持つ視覚処理チップを試作した。現在、列並列のインダクタモジュールの開発が本COEの他のグループにより進められている。従って、本試作チップは図1(B)のインダクタモジュールを除いた構成とした。すなわち、インダクタモジュールと本試作チップを組み合わせることで、チップ間の無線画像転送が実験できる構成である。ここで、インダクタによる送受信回路では2値のデジタル情報しか扱えないため入出力においてA/D、D/A変換が必要である。本試作チップでは、チップ間列並列データ通信にパルス幅変調方式(PWM)を利用した。PWM方式では、アナログ電圧情報を時間領域のパルス幅情報に変換し利用する<sup>2)</sup>。PWMおよびPWD(パルス幅復調)回路は、標準的なA/D、D/Aコンバータに比べ単純かつ小型な構造であるので3DCSSには適した構造と言える。図2(A)に試作した画像処理チップの回路図を示す。試作チップは画素アレイと列並列入出力ユニットから構成される。画素アレイにはアナログメモリと処理回路で構成された画素回路が、44×40画素配列されている。入出力ユニットは画素アレイ4列に対して1組、列並列に配置した(1×10画素)。図2(B)に入力ユニットの回路図を示す。入力ユニットはサンプル/ホールド(S/H)回路(Nbuf)で構成されたPWD回路である。S/H回路にランプ波形を入力し、入力PWM信号でホールドスイッチを開閉することで、入力パルス幅に比例したアナログ電圧が得られる。図2(C)に画素回路の回路図を示す。画素回路はアナログメモリと抵抗回路網で構成した。入力ユニットで変換された画像情報はアナログメモリに保持され、抵抗回路網により平滑化される<sup>3)</sup>。図2(D)に出力ユニットの回路図を示す。出力ユニットは同期型CMOSコンパレータで構成されたPWM回路である<sup>2)</sup>。出力ユニットでは画素出力に入力ランプ波形が一致するまでの間パルス信号が出力されるので、出力電圧に比例したパルス幅信号が得られる。2つの試作チップ間には有線でも接続できるので、インダクタモジュールなしでもマルチチップ構成による画像処理の実験が可能である。本チップは、4.9mm角、0.35μm、2層ボリ3層メタル標準CMOSプロセスにより試作した。

### 3. まとめ・今後の予定

3DCSSを用いたビジョンシステムの全体構成を提案した。さらにチップ間列並列データ通信にパルス幅変調方式(PWM)を利用した画像処理チップを試作した。今後は、画像処理アルゴリズムの検討、試作チ

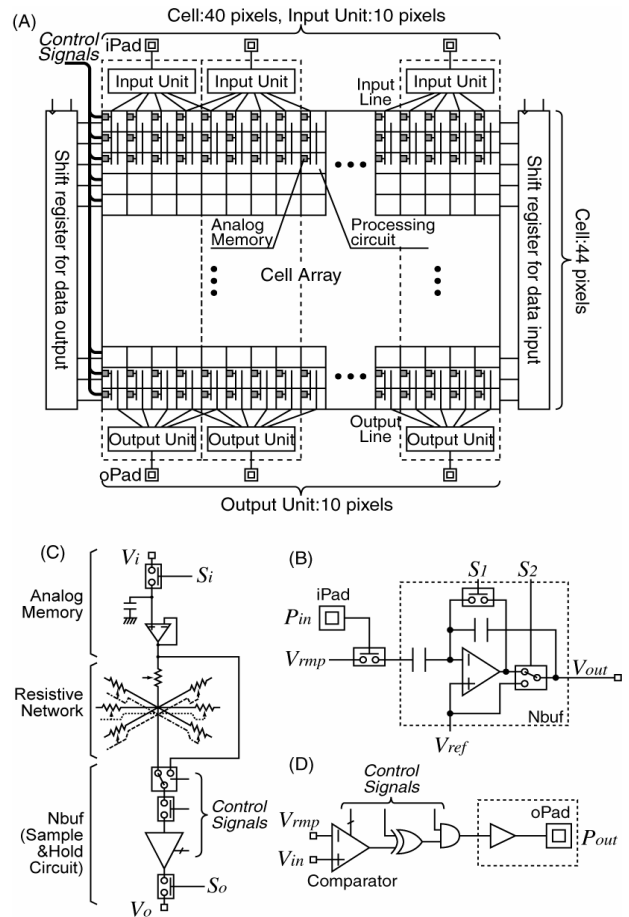


Fig.2 The prototype visual processing chip. (A)Block diagram of the chip, (B)circuit design of the single pixel, (C)the input unit and (D)the output unit.

ップの動作検証、インダクタモジュールを組み合わせた無線画像転送実験を行う。

### 参考文献

- 1) C.M. Higgins, *et al.*, Analog Integrated Circuits and Signal Processing. **24** (2000) pp.195-211.
- 2) A. Iwata, *et al.*, IEICE Trans. Fundamentals. **E84-A(2)** (2001) pp.486-496.
- 3) S. Kameda, *et al.*, Proc. IJCNN'03. (2003) pp.387-392.
- 4) S. Kameda, *et al.*, IEEE Trans. Neural Networks. **14(5)** (2003) pp.1405-1412.
- 5) S.-C. Liu, *et al.*, Neural Networks. **14** (2001) pp.629-643.
- 6) A. Moini, *Vision Chips* (2000).
- 7) A.B.M.H. Rashid, *et al.*, IEEE Electron Device Letters. **23(12)** (2002) pp.731-733.
- 8) M. Sasaki, *et al.*, Proc. 2nd Hiroshima International Workshop on Nanoelectronics for Terra-Bit Information. (2004)

### 3. これまでの研究発表、特許等

#### ① 特許

1. 出願番号 H02-022317:名称「画像処理装置に関する特許」、2004年1月28日出願