

# 認識と学習機能を有する連想メモリベースシステムの研究

- 大規模な参照パターンのための高速最小ハミング/マンハッタン距離検索連想メモリの開発-

研究代表者：マタウシュ ハンス・ユルゲン (ナノデバイス・システム研究センター教授,  
先端研半導体集積科学専攻)

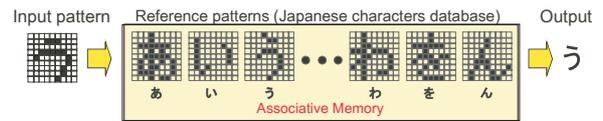
分担者：小出哲士 (ナノデバイス・システム研究センター助教授, 先端研半導体集積科学専攻),  
矢野祐二 (先端研量子物質科学専攻 M2), 上村一弘 (工学部第二類 B4), Kazi Mujibur Rahman (COE 研究員)

## 1 研究目的

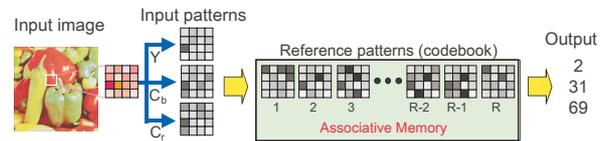
入力パターンとデータベース (メモリ) に保存されている参照パターンの中から最も類似したデータを検索する類似パターン検索 (最小距離検索) 機能は人工知能システム, 対応物認識システム, 画像・データ圧縮, 及びネットワークルーティングテーブル検索などのパターンマッチングを必要とするアプリケーションにおいて必要不可欠である. 現在主流のデジタルプロセッサベースのシステムでは処理対象となるデータのデータ長やパターン数が増加するにつれて各データの比較に要する演算処理回数が飛躍的に増加してしまう. そのため特にリアルタイム処理やシステムの小型化が要求されるアプリケーションでは高速・小面積・低消費電力で実現する集積回路技術の開発が非常に重要な課題となっている.

本研究で取り扱う連想メモリは機能メモリのひとつであり, 従来のメモリ機能に加えてメモリ内データの検索機能を備えている. この連想メモリは検索方法により大きく分けて 2 種類に分類することができ, 入力データと完全に一致する参照データを検索する完全一致検索型と入力データと最も類似した参照データを検索する最小距離検索型がある. 前者の連想メモリは一般に CAM(Content Associative Memory) と呼ばれる. これに対して後者の連想メモリは“距離”と呼ばれる類似度の指標 (例えばハミング距離やマンハッタン距離など) を用いることで距離が 0 の完全一致検索から最小距離の検索まで行うことが可能であり, 従来の CAM の機能を発展させたものと考えることができる. これはパターン認識や認証への応用はもちろんのこと, 類似パターンの検出が可能であるため, 画像・音声認識, コードブックベースデータ圧縮, ネットワークルータの経路検索, セキュリティシステムにおける認証, 及び将来の人工知能システムにおける柔軟な情報処理への応用が期待されている (図 1). 本研究では後者の最小距離検索型連想メモリについて開発した LSI チップアーキテクチャ並びにそれを実現する集積回路技術とチップ設計による評価について報告する.

前述のように連想メモリの検索には距離という類似度を表す指標が用いられ, 距離は 2 つのデータ間の不一致の度合いを表す. 2 つのデータが完全に一致する場合を距離 0 といい, 類似度が下がるにつれて距離が大きくなる. ここで入力データ  $SW$ , 参照データ  $REF$  を  $SW = ($



(a) Image pattern recognition (Hamming-Distance).



(b) Codebook-based data compression (Manhattan-Distance).

図 1: Application examples of the associative-memory-based system. (a) pattern recognition (Hamming-distance-measure) (b) vector quantization for image compression (Manhattan-distance measure).

$SW_1, SW_2, \dots, SW_W), REF = (REF_1, REF_2, \dots, REF_W)$  のそれぞれ  $k$  ビット  $\times W$  ユニットとすると, 2 つのデータ  $SW, REF$  のマンハッタン距離  $D_{Manh}$  は次式のように定義される.

$$D_{Manh} = \sum_{i=1}^W |SW_i - REF_i|. \quad (1)$$

これに対してハミング距離  $D_{Hamm}$  は

$$D_{Hamm} = \sum_{i=1}^W (SW_i \otimes REF_i). \quad (2)$$

デジタルプロセッサによりマンハッタン距離検索機能を実現するためには式 (1) のように入力パターンと参照パターンのユニット毎の差の絶対値計算とその総和をとることで距離の計算を行い, 全てのパターンの距離の比較によって最も小さい距離のパターンを Winner と呼ばれる最類似パターンとして検出する必要がある. このため参照パターン数  $R$  が増加するにつれて各演算処理回数が増加し, Winner を決定するまでの検索時間が飛躍的に増加することになる. ハミング距離検索も同様にパターン数  $R$  の増加に対して処理時間増加の同様の問題が生じてしまう.

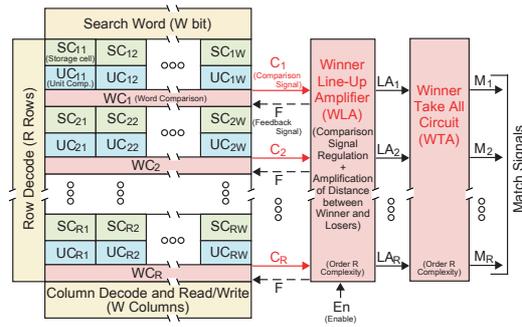


図 2: Block diagram of the compact-associative-memory architecture with fast fully-parallel match capability according to the Manhattan distance.

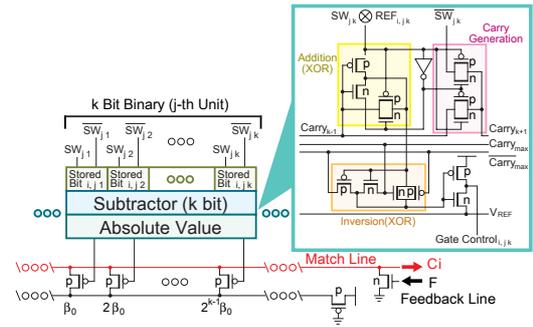


図 3: Architecture of the memory-field of a mixed digital/analog associative-memory for Manhattan-distance search.

ディジタルプロセッサ以外の最小距離検索実現の方法として、これまでにディジタルの専用プロセッサによる方法 [3, 9], アナログニューラルネットワークを用いる方法 [1], ディジタル方式の最小距離検索回路を用いる方法 [3], ソースフォロワの MOSFET に基づいたアナログ最小距離検索回路を用いる方法 [4], 及び時間的手法を用いる方法 [5, 6] 等の方式が提案されている。

しかしこれらの方法でも多数の演算処理が必要となり、回路面積が大きくなり、またチップの消費電力が大きくなってしまい、大規模なパターンに対する距離の検索が困難である。そこでこれらの問題解決のために本研究ではハミング距離・マンハッタン距離のそれぞれの指標に対して、最小距離検索機能を直接メモリセル領域に実装し、距離計算を全並列的に実行するディジタル回路と、計算された距離信号の中から最小距離のものを瞬時に検索するアナログ回路の両方を用いたディジタル・アナログ融合方式の全並列型連想メモリアーキテクチャ [7, 8] を用いた連想メモリアーキテクチャの開発を行った。開発アーキテクチャは、自己調整可能な距離増幅演算回路を導入することにより、大きな距離まで検索可能であり、高速・小面積・低消費電力のハミング/マンハッタン最小距離検索を実現した。また開発した連想メモリにバンク構成を取り入れることにより高速性・高信頼性を保ったままでパターン数の大規模化への対応を可能にした。以降では、開発した連想メモリアーキテクチャの詳細について述べる。

## 2 これまでの研究成果概要

### 2.1 全並列アナログ・ディジタル融合連想メモリアーキテクチャの開発

図 2 に提案する最小距離検索機能を実現するアナログ・ディジタル融合連想メモリアーキテクチャを示す。大きく分けてメモリ領域、Winner-Lineup 増幅回路 (WLA), 及び Winner-Take-All (WTA) 回路の 3 つの部分からなり、周辺回路は行・列デコーダ、Read/Write 回路、及び検索データ保存回路で構成される。またメモリ領域は参照データを保存するストレージセル SC, 距離計算を行うユニット比較回路 UC, とワード比較回路 WC で構成される。こ

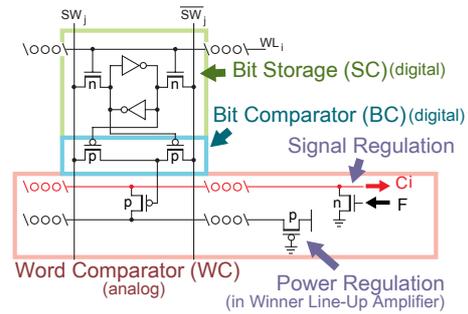


図 4: Architecture of the memory-field of a mixed digital/analog associative-memory for Hamming-distance search.

の連想メモリアーキテクチャの特長を以下に示す。

1. メモリ領域内に内蔵された距離計算ユニットが全データに対して並列に距離計算を実行。
2. 距離計算結果のアナログ値への変換とアナログ信号比較による高速並列検索の実行。
3. フィードバック制御による WLA の最大ゲイン領域の自己調節機能の実現。
4. Winner 検索回路 (WLA, WTA) の面積増加率を参照パターン数  $R$  に対して  $O(R)$  の非常に小面積で実現。

### 2.2 距離計算回路のメモリ領域での実現

マンハッタン距離計算回路をメモリ領域に実現した回路構成を図 3 に、またハミング距離検索のための回路構成を図 4 に示す。ストレージセル SC 内の SRAM に参照パターンがビット毎に保存されており、各 SC はメモリセル内に分散配置されている。ユニット比較回路 UC は SC に隣接して配置され、メモリ領域を縦に走っているビット線から検索パターン  $SW_j^k$  を、隣り合う SC から参照パターン  $REF_j^k$  を供給されることで各ユニットの全並列計算処理を行う。図 3 のマンハッタン距離計算回路の場合、ユニット比較回路 UC では減算と絶対値計算 ( $|SW_j^k - REF_j^k|$ ) を行うが、これは図 3 に示す回路で構成される。この

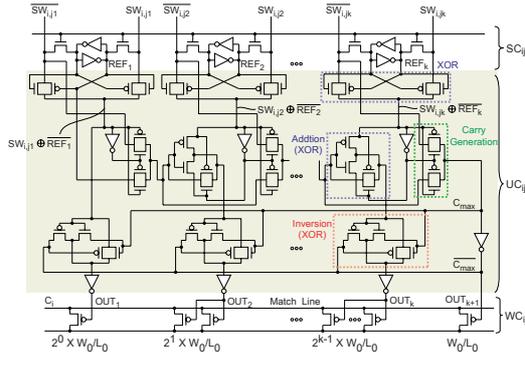


図 5: Newly developed circuitry for  $k$ -bit subtraction and absolute-value-calculation.

回路では  $SW_j^k, \overline{SW_j^k}$  の相補の関係にある信号を用いることで通常の減算回路より小面積かつ高速な回路を実現した。図 5 に開発した  $k$  ビットのマンハッタン距離計算回路を示す。この回路のトランジスタ数は  $20k - 2$  となり、従来一般的な方法により構成した場合のトランジスタ数  $50k - 18$  に対して、約 60% の削減を達成することができた。一方、図 4 のハミング距離の場合、扱うユニットの大きさが 1bit であるため差の絶対値は排他的論理和 XOR と等価になり、2 個の MOS トランジスタで構成されたビット比較回路 BC として実現できる。

UC の計算結果の総和を計算する機能をもつワード比較回路 WC は図 3, 4 に示すように 1 種類の MOS トランジスタ複数個で構成されており、ゲートを UC の出力に、ドレインをマッチラインに接続している。ここで UC からの各ユニット毎の差の絶対値信号は 0, 1 のデジタル信号であり、この信号がワード比較回路の MOS の ON, OFF を制御する。そして MOS の ON, OFF によりマッチラインを流れる電流を変化させ、特にマンハッタン距離の場合はトランジスタのゲート幅をビット位置に応じて 2 のべき乗の重みに対応させることでマッチラインの電流が距離を表すようにした (図 3)。

### 2.3 アナログ処理による Winner の高速検索

アナログ回路で構成された Winner Lineup Amplifier (WLA) ではメモリ領域で計算した距離計算の結果をアナログ信号に変換し、アナログ信号の比較により高速な並列検索を実現する [8, 10]。更にフィードバックを用いて最大増幅が得られる電圧範囲内に Winner 行の比較信号  $C_i$  を自動的に制御することで、広い距離範囲に渡って最適かつ高速な増幅を実現している。図 6 に概念図を示す。この回路技術により、参照パターンが増加しても並列に Winner の高速検索が可能となった。以降では最小距離のパターンを Winner、それ以外のパターンを Loser と呼ぶ。

開発した WLA のブロック図を図 7(a) に示す。入力信号制御ユニット SR, Winner-Loser 間距離増幅・フィードバック信号生成ユニット AFG, 及びドライブ電流生成ユニット SF の 3 つから構成される。入力制御ユニット SR

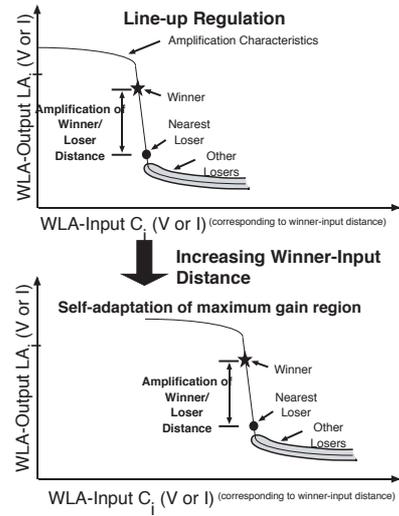


図 6: Self-adapting winner line-up amplification principle. Regulation of WC outputs so that the winner-loser distance is amplified by the maximum gain follows automatically the input voltage  $C_i$  of the winner-row, that is the increasing of winner-input distance, for all possible search cases.

では前段の WC からのアナログ電流出力  $C_i$  をアナログ電圧に変換する機能を持つ。そして  $R$  個の SR 出力を一括で比較し、信号間の電圧差を増幅する回路が Winner-Loser 距離増幅・フィードバック生成ユニット AFG である。また、参照パターン数  $R$  を増大させた場合にフィードバック信号  $F$  が SR ユニットの制御のために多くのドライブ電流を必要とするため、フィードバック電圧はそのままに電流増幅のみを行うドライブ電流生成ユニットを設けることで高速なフィードバックを実現している。

WLA の動作を実現するための回路構成を図 7(b) に示す。各行に配置された図中の (1) のトランジスタ  $n_{1i}$  がマッチラインのアナログ電流  $C_i$  をアナログ電圧に変換する役割を持っており、全行共通のゲート電圧により変換を実現している。図中 (2) の部分では各行当たり 3 個のトランジスタで構成された増幅回路がアナログ電圧入力を増幅する。まず、電源側の p-MOS トランジスタ  $p_{3i}$  がアナログ電圧を再びアナログ電流に変換し、グランド側の n-MOS トランジスタ  $n_{2i}$  のゲートを全行共通にすることでアナログ電流をアナログ電圧  $LA_i$  に変換する。図中 (2) の部分での電圧 電流 電圧の交互変換により電圧反転と各行の電圧差増幅を行う。フィードバック信号は図中 (3) の回路で生成され、ボルテージフォロワ回路で構成されたドライブ電流生成回路が各行の図中 (1) のトランジスタ  $n_{1i}$  をドライブする。

この回路は電流シンクの原理に基づいて動作するため、検索時の消費電力がどの程度になるかが検討課題であったが、適切かつ高速なフィードバック制御を行うことにより低消費電力を実現することができた [10, 12]。

WLA 出力  $LA_i$  を更に高速に増幅する WTA 回路を図

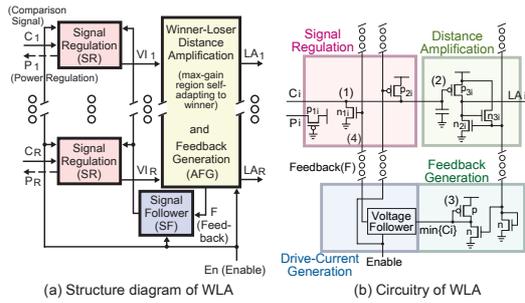


図 7: Winner line-up amplifier (WLA) (a) Structure diagram, (b) Circuitry of WLA with self-adapting maximum-gain region, following automatically the winner-row output  $C_{win}$  and thus eliminating the inefficient possibilities of under- or over-regulation.

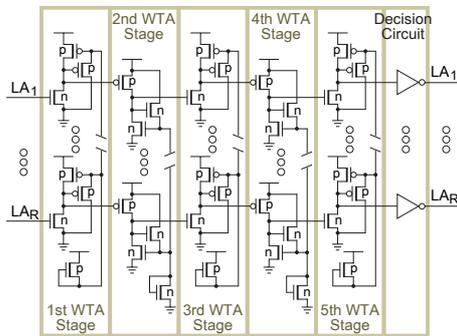


図 8: Winner-take-all (WTA) circuit with 17 transistors per row of the associative memory as used for the test chip.

8に示す．文献[12]で提案されている回路を1段のWTA回路として用い，それを複数ステージ構成にすることで安定かつ高速な増幅を実現した．このWTA回路は単一ステージで5~20倍のWinnerとLoser間電圧増幅率を達成することができる．ハミング距離マクロチップにおいては3段，マンハッタン距離マクロチップでは5段構成のWTA回路を用いた．

## 2.4 バンク構成による大規模パターンへの対応

提案アーキテクチャを大規模なパターンへ対応可能とし，更なる低消費電力化，信頼性向上のために全並列型連想メモリをバンクに分けたバンク構成連想メモリも開発した．バンク構成連想メモリアーキテクチャでは図9に示すように単体の全並列型連想メモリをバンクに分割し，それぞれのバンクに各々のEnable信号を入力することで各バンクを独立に動作させることができる．これにより，メモリ内に格納される参照パターンをあらかじめあるカテゴリに基づいて分類することができる場合には，前処理によりWinnerが存在するバンクの予測が可能となり，一部のバンクのみを動作させることで全検索を実現する

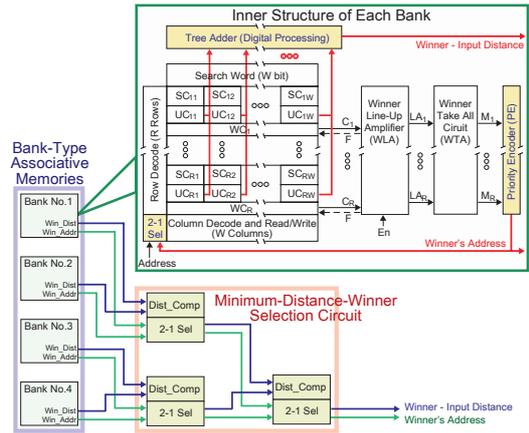


図 9: Bank-type associative memory architecture with fully parallel search in each bank and global winner determination by tournament search.

ことができる．この場合には非バンク構成と比べて大幅な消費電力の削減が可能となる．

各バンクは図2の回路構成に付加回路として，一つのWinnerのみを決定するプライオリティエンコーダ(PE)，Winner行の各ユニットのデジタル距離信号を出力するための回路，及び出力された信号からWinnerの全ユニットのデジタル距離信号を計算するためのデジタルツリーアダーから成る．ツリーアダーの距離信号出力(WIN\_DIST)は各バンクのWinnerの中から最小距離のWinnerを決定する．

図9における複数バンクWinnerの絞り込み機構は以下のようなになる．各バンクからWinnerアドレスとWinnerと入力データとの距離(Winner-Input距離)が出力され，最小Winner選択回路ではこれらの信号からデジタル距離信号により，各バンクのWinnerから入力パターンに類似しているものをセクタ(2-1 Sel)で選択して出力する．セクタを通過した信号のアドレス部の最上位ビット(MSB)には比較器(Dist\_Comp)の出力が付加される．これにより比較する2バンクをまとめてひとつのローカルブロックとした際のローカルブロックWinnerアドレスを作成する．このトーナメント処理を繰り返すことで最終的なWinnerを決定する．

$R$ 個の参照パターンからひとつのWinnerを検索する処理を考えた場合，バンク数が増えると各バンクでのアナログ回路部の規模が小さくなり信頼性が向上する利点がある．また，バンクに格納するデータに特徴があり，検索によって動作させるバンクを特定することができるようなアプリケーションにおいては，低消費電力化が期待できる．しかし，デジタル距離比較回路の比較ステージ数増加に伴う全体の回路面積の増加があるため，このトレードオフを考慮して，使用するアプリケーションに応じてバンク内のパターン数とバンク数を決定する必要がある．

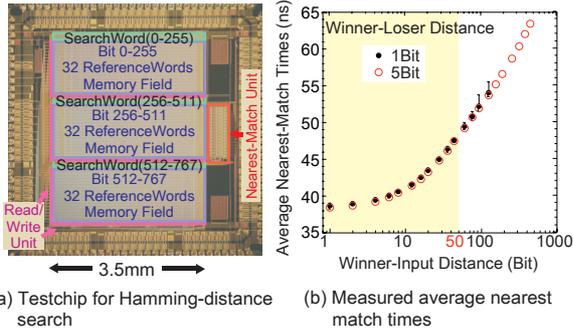


図 10: Minimum Hamming-distance-search associative memory ( $0.6\mu\text{m}$  CMOS). (a) chip photo (b) measured average search times

## 2.5 全並列型連想メモリ LSI チップの設計

### 2.5.1 ハミング距離検索連想メモリ LSI チップ

まず、ハミング距離検索連想メモリ LSI チップを 3 層配線  $0.6\mu\text{m}$  CMOS 技術を用いて設計し、チップ試作を行った。試作チップの面積制約 ( $12\text{mm}^2$ ) より、 $768\text{bit} \times 32$  参照パターンのハミング距離検索連想メモリを設計した。図 10(a) に試作したチップの写真を示す。768bit-32 参照パターンのメモリ領域 (SC, BC, WC 回路) は 3 つのブロックに折り曲げてチップ内に実装している。真ん中のブロックの右側にある回路が WLA と WTA から構成される最小距離検索ユニットである。設計した連想メモリは面積が  $9.75\text{mm}^2$  で、WLA と WTA の回路面積はわずか  $0.307\text{mm}^2$  と全体の面積の約 3.15% の小面積で実現している。

図 10(b) に試作チップの平均 Winner 検索時間の測定結果を示す。2.2 節で説明したように WC においては Winner 行と Loser 行での ON 状態のトランジスタの数が異なり、アナログ電流が距離を表すが、Winner 行と Loser 行の間の ON 状態トランジスタ数の違いが小さいほどアナログ電流の違いが小さくなる。また Winner と入力データ間距離 (Winner-Input Distance) が大きくなると ON 状態のトランジスタ数が増加しアナログ電流が大きくなるため、それに伴い Winner 行と Loser 行のアナログ電流の違いが相対的に小さくなる。アナログ電流の違いが小さい場合は増幅回路での信号増幅に時間がかかり、検索時間が増大する。よって Winner-Loser 間距離が小さいほど、または Winner-Input 間距離が大きいほど検索が難しくなる。そこで入力パターンに最も近い参照パターン (Winner) とその次に近い参照パターン (Nearest-Loser) との距離を 1bit と 5bit にした場合の検索時間を測定した。グラフより  $70\text{nsec}$  以下の高速な検索を実現することができた。実際のベクトル量子化を用いた画像圧縮 [3, 9] などの実用的なアプリケーションでは、通常距離差が 50bit 以下がほとんどであることを考慮すると、開発したマクロでは  $50\text{nsec}$  以下の高速な検索が可能である。また、1bit, 5bit の場合に対して、それぞれ入力パターンと Winner の距

表 1: Performance data of designed associative memory test chips.

距離指標	5-bit ハミング距離
参照パターン数	32 パターン (total 24Kbit)
レイアウト面積	$9.75\text{mm}^2$ ( $3.02\text{mm} \times 3.36\text{mm}$ )
winner 検索回路	$0.307\text{mm}^2$ (全体の 3.15%) (WLA:1.37%, WTA:1.78%)
検索可能距離範囲	0 - 767 winner-input 距離
Winner 検索時間	$< 70\text{nsec}$ (画像圧縮などの応用としては $< 50\text{nsec}$ )
消費電力	$43\text{mW}$ at $10\text{MHz}$ (単位面積当り $4.41\text{mW}/\text{mm}^2$ ) (参照パターン当り $< 1.35\text{mW}$ )
等価性能指標	$150\text{GOPS}/\text{mm}^2$
プロセス技術	$0.6\mu\text{m}$ , 2-poly, 3-metal, CMOS
供給電源電圧	3.3V

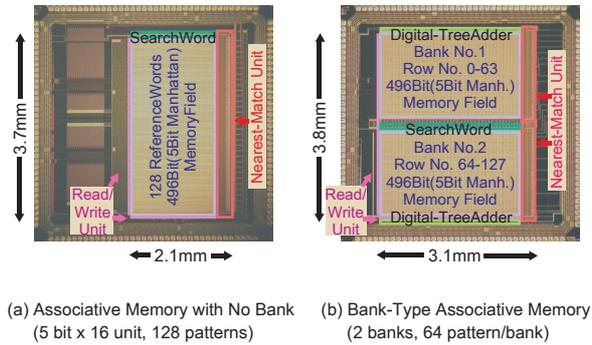


図 11: Minimum Manhattan-distance-search associative memory ( $0.35\mu\text{m}$  CMOS).

離が 124bit, 444bit まで測定することが確認でき、実用的なアプリケーションに適用可能な十分な性能が得られた。消費電力は  $43\text{mW}@10\text{MHz}$  以下と非常に低消費電力であった。表 1 に試作チップのデータを示す。

### 2.5.2 マンハッタン距離検索連想メモリ LSI チップの設計

5bit のマンハッタン距離検索連想メモリ LSI チップを 3 層配線  $0.35\mu\text{m}$  CMOS 技術を用いて設計し、チップ試作を行った。図 11(a) に設計した 128 行 80 列 (5 ビット  $\times$  16 ユニット) の連想メモリを示す。試作チップは全ての回路を  $8.6\text{mm}^2$  の面積で実現し、その内 Winner 検索回路が全体のわずか 11.5% ( $0.99\text{mm}^2$ ) で実現することができた。また、図 11(b) にバンク型マンハッタン距離検索連想メモリを示す。同図 (a) の非バンク型と同じ 128 パターンの全検索が可能であるがこちらは 64 行を 1 バンクとする連想メモリを 2 バンク用いて検索を行う。試作チップのレイアウト面積は  $11.8\text{mm}^2$  となっており、これはバンク型にした際に必要となるトーナメント比較回路の面積オーバーヘッドである。

図 12(a) に HSPICE シミュレーションによる非バンク構成 128 行 80 列全並列型連想メモリの Winner 検索時間

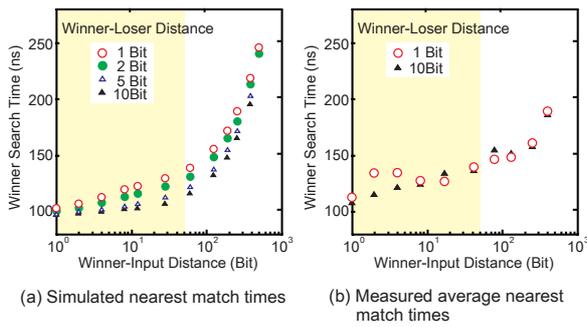


図 12: Measured average search times for Minimum Manhattan-distance-search associative memory.

表 2: Characteristics of the Manhattan-distance associative memories.

距離指標	5-bit マンハッタン距離
参照パターン数	128 パターン (5-bit × 16 units)
レイアウト面積	8.60mm <sup>2</sup> (2.32mm × 3.71mm)
winner 検索回路	0.99mm <sup>2</sup> (全体の 11.5%) (WLA:4.45%, WTA:7.05%)
検索可能距離範囲	0 - 480 距離
Winner 検索時間	< 190ns (画像圧縮などの 応用としては < 140ns)
消費電力	91mW at 5MHz (単位面積当たり 10.6mW/mm <sup>2</sup> ) (参照パターン当たり < 0.71mW)
等価性能指標	20GOPS/mm <sup>2</sup>
プロセス技術	0.35μm, 2-poly, 3-metal, CMOS
供給電源電圧	3.3V

を、同図 (b) に実際の測定から得られた平均 Winner 検索時間を示す。パラメータとして Winner-Loser 間距離を 1, 2, 5, 10 という検索が難しいケースに設定した。図 12(b) より試作チップは距離 480 までの大きな距離検索が可能で、更に 190ns 以下という高速の最小距離検索が可能であることを確認できた。また、実用的なアプリケーションにおいて通常距離差が 50bit 以下がほとんどであることを考慮すると、140ns 以下の高速な検索が可能である。表 2 に図 11(a) の非バンク型連想メモリ試作チップのデータを示す。消費電力は 90mW@4MHz 程度と非常に低消費電力であった。

次に 4 バンク構成全並列型連想メモリマクロを設計した。このチップは 3 層配線 0.35μm CMOS 技術を用いて設計されており、試作チップのレイアウトを図 13(a) に示す。縦に並べた各々のバンク内で 64 パターンの最小距離検索が行われ、バンクの間のスペースに配置された最小距離 Winner 選択回路が図 9 で説明したトーナメント比較により最終的な Winner を決定する。

また、図 11(b)、図 13(a) に示すバンク構成連想メモリは、パイプライン動作を考慮してバンク内の Winner 検索処理とデジタルでのトーナメント比較処理を分離して実行するための機構をメモリ領域内に設けており、そのため実際の応用の際に大規模パターンの全検索への拡張が容易で、検索時間の増大も最小限に留めることが可

能である。

バンク型連想メモリチップの諸元を図 13(b)、チップ写真を図 14 に示す。

### 3 まとめ

本研究ではアナログ・デジタル融合アーキテクチャを用いた最小ハミング・マンハッタン距離検索連想メモリ LSI アーキテクチャを開発し、チップ試作によりその有効性を検証した。32 行 768 列のハミング距離検索連想メモリとマンハッタン距離検索に関しては非バンク方式・バンク方式の両方に対して連想メモリテストチップ設計を行い、その性能の有効性を示した。試作チップの測定と回路シミュレーションから、ハミング距離検索連想メモリに対しては検索時間 70ns (10MHz の動作周波数)、チップ面積 9.75mm<sup>2</sup>、及び平均消費電力 43mW を、またマンハッタン距離検索連想メモリに対しては検索時間 190ns (5MHz の動作周波数)、チップ面積 8.6mm<sup>2</sup>、及び、平均消費電力 90mW という高速・小面積・低消費電力の結果を得た。これはハミング距離検索連想メモリが 150 GOPS/mm<sup>2</sup>、マンハッタン距離検索連想メモリが 20 GOPS/mm<sup>2</sup> の 32-bit コンピュータと同等の性能を実現したことになり、開発した連想メモリの有効性を確認することができた。今回開発した連想メモリを用いることで、ハミング距離に対しては 1 バンク当たり 32 パターンの 4 バンク、8 バンク構成、マンハッタン距離に対しては 1 バンク当たり 128 パターンの 4 バンク、8 バンク構成まで拡張可能である。

### 4 今後の課題

今後の課題としては、開発した連想メモリの整備と 2 バンク、4 バンクのバンク構成連想メモリを用いた多バンク連想メモリマクロジェネレータの開発が挙げられる。また、開発した連想メモリを用いた実用的なアプリケーションへの適用 (例えば、ベクトル量子化による画像圧縮やパターン認識) による開発連想メモリの更なる流通性向上に関する検討が挙げられる。

### 謝辞

本チップ設計は東京大学大規模集積システム設計教育研究センター (VDEC) を通し Cadence ツール、及び Synopsys ツールを用いて行われたものである。また、試作は VDEC を通し ローム (株) および凸版印刷 (株) の協力で行われたものである。

### 参考文献

- [1] H. P. Gref and L. D. Jackel, "Analog electronic neural network circuits," IEEE Circuits and Device Mag., 5, p.44, 1989.
- [2] A. Gersho and R. M. Gray, "Vector Quantization and Signal Compression," Boston, MA : Kluwer Academic, 1992.
- [3] A. Nakada, et al., "A fully parallel vector-quantization processor for real-time motion-picture compression," IEEE Journ. of Solid-State Circuits, Vol.34, pp.822-830, 1999.
- [4] S. M. S. Jalaeddine and L. G. Johnson, "Associative IC memories with relational search and nearest-match capabilities," IEEE Journ. of Solid-State Circuits, Vol.27, pp.892-900, 1992.

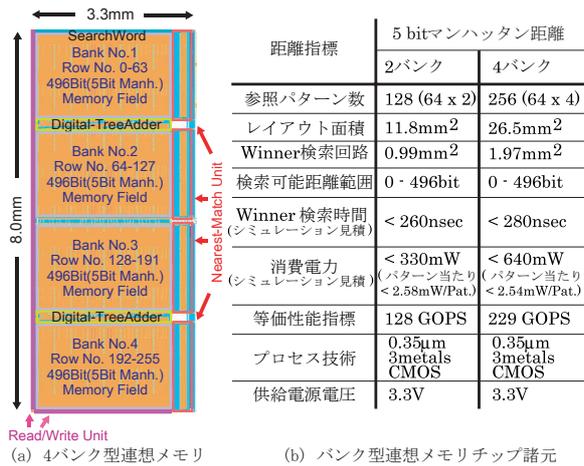


図 13: The bank-type Manhattan-distance associative memories. (a) Layout (b) Performance data

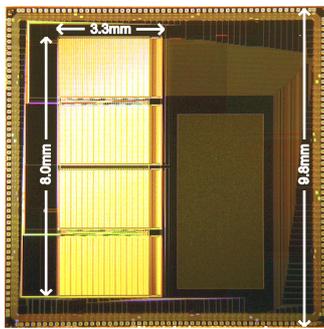


図 14: Chip photo of 4-bank Manhattan-distance associative memory (0.35μm CMOS).

## 5 研究業績

### (1) 原著論文

1. H.-J. Mattausch, T. Gyohten, Y. Soda, T. Koide : "Compact associative-memory architecture with fully-parallel search capability for the minimum Hamming distance", IEEE Journal of Solid-State Circuits, Vol. 37, No.2, pp.218-227, 2002.
2. H. Noda, K. Inoue, M. Kuroiwa, F. Igaue, K. Yamamoto, H. J. Mattausch, T. Koide, A. Amo, A. Hachisuka, S. Soeda, F. Morishita, K. Dosaka, K. Arimoto, and T. Yoshihara, "A Cost-Efficient High-Performance Dynamic TCAM with Pipelined Hierarchical Searching and Shift Redundancy Architecture", IEEE Journal of Solid-State Circuits, to appear, 2004.

### (2) 国際会議プロシーディング等

1. H.J. Mattausch, N. Omori, S. Fukae, T. Koide and T. Gyohten, "Fully-Parallel Pattern-Matching Engine with Dynamic Adaptability to Hamming or Manhattan Distance," 2002 Symposium on VLSI Circuits Digest of Technical Papers, pp. 252-255, 2002.
2. Y. Yano, T. Koide and H.J. Mattausch, "Fully Parallel Nearest Manhattan-Distance-Search Memory with Large Reference-Pattern Number," Extended Abstracts of the 2002 International Conference on Solid State Devices and Materials (SSDM2002), pp. 254-255, 2002.
3. T. Koide, H.J. Mattausch, Y. Yano, T. Gyohten and Y. Soda, "A Nearest-Hamming-Distance Search Memory with Fully Parallel Mixed Digital-Analog Match Circuitry," Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC 2003), pp. 591-592, 2003.
4. T. Koide, Y. Yano, H. J. Mattausch, "An Associative Memory for Real-Time Applications Requiring Fully-Parallel Nearest Manhattan-Distance Search," 11th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2003), pp. 200-205, 2003.
5. H. Noda, K. Inoue, H.J. Mattausch, T. Koide and K. Arimoto, "A Cost-Efficient Dynamic Ternary CAM in 130nm CMOS Technology with Planar Complementary Capacitors and TSR Architecture," 2003 Symposium on VLSI Circuits Digest of Technical Papers, pp. 83-84, 2003.
6. Y. Yano, T. Koide, and H.-J. Mattausch, "Associative Memory with Fully Parallel Nearest-Manhattan-Distance Search for Low-Power Real-Time Single-Chip Applications", Proc. of Asia and South Pacific

- [5] M. Ikeda, et al., "Time-domain minimum-distance detector and its application to low-power coding schema on chip-interface," Proc. of ESSCIRC '97, pp.464-467, 1998.
- [6] 大池, 池田, 浅田, "同期式高速ハミング距離検索連想メモリ," 第4回 LSI IP デザイン・アワード開発奨励賞, 2002年5月.
- [7] H. J. Mattausch, et al., "Compact associative-memory architecture with fully-parallel search capability for the minimum Hamming distance," IEEE Journ. of Solid-State Circuits, Vol.37, pp.218-227, 2002.
- [8] H. J. Mattausch, et al., "Fully-parallel pattern-matching engine with dynamic adaptability to Hamming or Manhattan distance," 2002 Symposium on VLSI Circuits Dig. of Tech. Papers, pp.252-255, 2002.
- [9] T. Nozawa, et al., "A Parallel Vector-Quantization Processor Eliminating Redundant Calculations for Real-Time Motion Picture Compression," IEEE J. Solid-State Circuits, Vol. 35, pp. 1744-1751, 2000.
- [10] Y. Yano, et al., "Fully parallel nearest Manhattan-distance search memory with large reference-pattern number," Extend. Abst. of the Int. Conf. on SSDM '2002, pp.254-255, 2002.
- [11] I. E. Opris, "Rail-to-rail multiple-input min/max circuit," IEEE Trans. on Circuits and Systems II, Vol.45, No.1, pp.137-141, 1998.
- [12] J. Lazzaro, et al., "Winner-take-all networks of (N) complexity," in Advances in Neural Information Processing Systems, I. D. S. Touretzky Ed., San Mateo, CA : Morgan Kaufmann, 1989.

Design Automation Conference, pp. 543-544, 2004.

7. H. Noda, K. Inoue, M. Kuroiwa, A. Amo, A. Hachisuka, H.-J. Mattausch, T. Koide, S. Soeda, K. Dosaka, K. Arimoto, "A 143MHz, 1.1W, 32mm<sup>2</sup>, 4.5Mb dynamic ternary CAM in 130nm embedded DRAM technology with pipelined hierarchical searching and row/column-shift redundancy architecture", 2004 IEEE International Solid-State Circuits Conference, Dig. of Tech. Paper, pp.208-209, 2004.
8. K. Kamimura, K. M. Rahman, H. J. Mattausch, T. Koide, "Optimized Multi-Stage Minimum-Distance-Search Circuit with Feedback-Stabilization for Fully-Parallel Associative Memories", Proc. 47th IEEE International Midwest Symposium on Circuits and Systems, to appear, 2004.
9. K. Takemura, T. Koide, H. J. Mattausch, "Analog-Circuit-Component Optimization with Genetic Algorithm", Proc. 47th IEEE International Midwest Symposium on Circuits and Systems, to appear, 2004.

### (3) 特許

1. 特願 2002-159436 : 名称「自己調整型ウインナ・ラインアップ増幅器」, 2002年6月6日出願.
2. "Self-adjusting winner lineup amplifier", USA Patent Application No.10/445,033 (2003.06.04).
3. "Self-adjusting winner lineup amplifier", EPC Patent Application No.03011724.6 (2003.06.04).
4. "Self-adjusting winner lineup amplifier", KOR Patent Application No.2003-34611 (2003.06.05).
5. "Self-adjusting winner lineup amplifier", TWN Patent Application No.92114262 (2003.06.05).
6. 特願 2002-165759 : 名称「パターン認識システム, このシステムに用いられる連想メモリ装置及びパターン認識処理方法」, 2002年5月31日出願.
7. "Pattern matching and pattern recognition system, associative memory apparatus, and pattern matching pattern recognition processing method", USA Patent Application No.10/453,636 (2003.05.27).
8. "Pattern matching and pattern recognition system, associative memory apparatus, and pattern matching pattern recognition processing method", EPC Patent Application No.03012722.9 (2003.05.27).
9. "Pattern matching and pattern recognition system, associative memory apparatus, and pattern matching pattern recognition processing method", KOR Patent Application No.2003-36263 (2003.05.27).
10. "Pattern matching and pattern recognition system, associative memory apparatus, and pattern matching pattern recognition processing method", TWN Patent Application No.92115261 (2003.05.27).
11. 特願 2004-017429 : 名称「最小マンハッタン距離検

索連想メモリ装置」, 2004年1月26日出願.

12. "Associative Memory Apparatus for searching data in which Manhattan Distance is Minimum", USA, EPC, KOR, TWN Patent Application No.TBD (2004.05.31).

### (4) 受賞

1. T. Koide, H.J. Mattausch, Y. Yano, T. Gyohten and Y. Soda, "A Nearest-Hamming-Distance Search Memory with Fully Parallel Mixed Digital-Analog Match Circuitry," Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC 2003), Special Feature Award, University Design Contest (2003).
2. 矢野 祐二, 小出 哲士, マタウシュ ハンスユルゲン, "高速・小面積・低消費電力の最小ハミング/マンハッタン距離検索連想メモリマクロ," 第6回 LSI IP デザイン・アワード IP 賞, LSI IP デザイン・アワード運営委員会, 2004年5月. URL <http://ne.nikkeibp.co.jp/award/>

### (5) その他, 研究会口頭発表等

1. 小出 哲士, ハンスユルゲン マタウシュ, 大森 伸彦, 深江 誠二, 行天 隆幸:"ハミング距離とマンハッタン距離に適応可能な全並列処理パターンマッチングエンジン", 電子情報通信学会集積回路研究会, Vol.ICD2002-42, pp.41-46, 2002.
2. 溝上 政弘, 矢野 祐二, 本田 稔, 小出 哲士, Hans Juergen Mattausch:"長い参照パターンを並列処理可能なアナログ・デジタル混載連想メモリの性能評価," 平成14年度電気・情報関連学会中国支部第53回連合大会講演論文集, 101309, pp. 283-284, 2002.
3. 矢野 祐二, 溝上 政弘, 本田 稔, 小出 哲士, マタウシュ ハンス ユルゲン:"全並列型最小マンハッタン距離検索連想メモリ," 電子情報通信学会 VLSI 設計技術研究会技術研究報告, VLD2002-112, Vol. 102, No. 476, pp.181-186, 2002.
4. 矢野 祐二, 溝上 政弘, 本田 稔, 小出 哲士, Hans Juergen Mattausch: "全並列型最小マンハッタン距離検索連想メモリ," 第4回 IEEE 広島支部学生シンポジウム (HISS) 論文集, pp.274-277, 2002.
5. 野田 英行, 井上 一成, Hans Juergen Mattausch, 小出 哲士, 堂阪 勝己, 有本 和民:"130nm CMOS プロセスを用いたダイナミック型 Ternary CAM", 電子情報通信学会集積回路研究会, Vol.ICD2003-135, pp.77-82, 2003.