

連想メモリベースシステムのための画像処理フロントエンドの開発

- セルネットワークを用いたタイル画像パイプライン処理によるハードウェア効率の良い低消費電力リアルタイム画像分割アーキテクチャ -

研究代表者： 小出 哲士 (ナデバ`イ`システム研究センター 助教授, 先端研半導体集積科学専攻)

分担者： Hans Juergen Mattausch (ナデバ`イ`システム研究センター 教授, 先端研半導体集積科学専攻), 森本 高志 (先端研量子物質科学専攻 D1), 原田 洋明 (先端研量子物質科学専攻 M2), 足立 英和 (工学部第二類 B4), 桐山 治 (ナデバ`イ`システム研究センター 研究員)

1. 研究目的

図 1 に示した連想メモリベース認識・学習システムの視覚知能処理では, 自然画像からのオブジェクト抽出とその連想メモリベースの特徴抽出・モデリング技術が必要となる。ここで画像分割処理は, 入力として取り込んだ複雑な自然画像から個々の対象物を抽出する処理であり, オブジェクトベースの処理である画像認識や動体検出等において重要な前処理である。我々はこの画像分割・抽出処理に対して, リアルタイムで処理が可能でかつ連想メモリでの認識に適した特徴抽出・モデリング手法の開発と実現を目標に研究を進めている。図 2 に目標としている画像分割・抽出システム概念図を示す。

画像認識や動物体検出の技術はロボットビジョンや高度交通システム(ITS)のような研究分野においては不可欠である。もし, 複雑な自然画像において人間のような認識が可能となれば, 工業からプライベートまで様々な幅広い分野において非常に有益である。その中で重要なアプリケーションとしては, 携帯端末のアプリケーションシステムが挙げられる。このようなシステムを実現するためには, リアルタイム処理, 小面積による実現, 並びに低消費電力という 3 つの要求を同時に満たす必要がある。一般に画像情報は複雑で様々な情報を含んでいるため, このような要求を FPGA, マイクロプロセッサ, およびデジタルシグナルプロセッサ(DSP)のような汎用的なハードウェアで実現することは困難である。これらの処理の計算複雑度を削減する一般的な方法は, 複雑な自然画像の中から重要な情報(オブジェクト)を抽出することである。このような画像分割と呼ばれる画像処理の機能を実現することが要求されている。

これまでに多くの画像分割処理アルゴリズムが提案されている [1, 2]。しかしながら, これらのほとんど多くのアルゴリズムは, ソフトウェアでの実現を

前提としたものがおおく, そのため上述の 3 つの要求を同時に満たすことは困難である。特にアルゴリズムの複雑さの理由から, ハードウェアでの実現はマイクロプロセッサや DSP などに限られているのが現状である。最近, 文献 [3, 4] において, 専用ハードウェアによる画像分割処理ハードウェアが提案されている。しかしながら, これらの方法においても, 標準的なサイズの動画像(例えば VGA 画像)のリアルタイム処理に適用した場合には, 消費電力, チップ面積, 並びに画像分割の質などにおいてまだ問題があるのが現状である。

本 COE プロジェクトの目的は, 視覚知能処理を達成するために, リアルタイムの動画像のための, 高速かつ小面積で実装可能な画像分割 / 抽出アルゴリズム及びアーキテクチャの提案とそれを用いた連想メモリベースの特徴抽出アーキテクチャの開発である。

2. これまでの研究成果概要

本報告書では, 低消費電力な携帯端末向けアプリケーションのために, タイルベースの画像領域分割処理アプローチ(SIA)と境界セル限定動作(BAO)を適用したセルネットワークベースの画像分割処理アーキテクチャの研究状況について報告する。0.35 μm CMOS 技術によるセルネットワークコアのテストチップ設計において, 標準的なデジタル CMOS 技術を用いることにより消費電力が 30mW 以下での VGA サイズ画像のリアルタイム画像分割が可能であることを検証した。以降では, 提案アーキテクチャとチップ設計の概要について説明する。

2.1 セルネットワークベース画像分割アーキテクチャ

提案しているセルネットワークベース画像分割アーキテクチャ [5, 6] は以下の特徴を有する。(1) 領域成長によるアプローチ, (2) ピクセルベースの

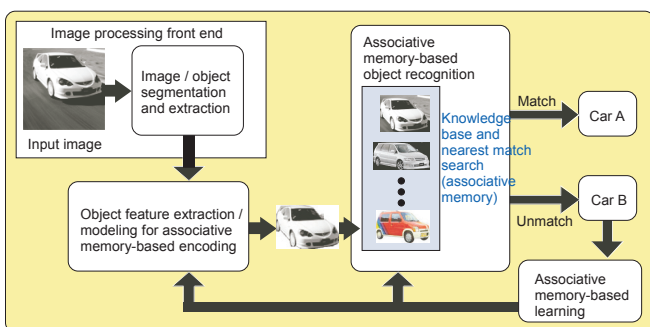


Figure 1: Structure of envisaged associative memory-based systems.

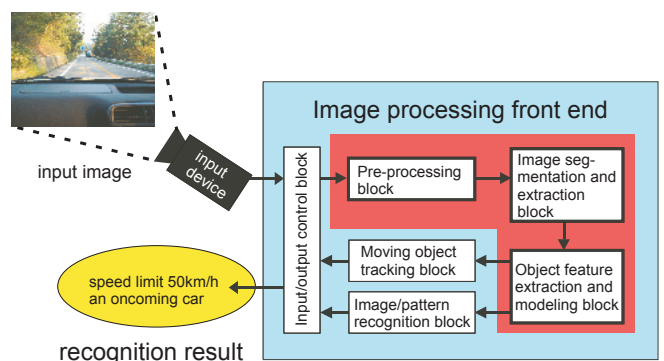


Figure 2: A block diagram of image segmentation and feature extraction for real-time applications.

全並列処理，並びに，(3) 重み計算のための初期化ステップを変更することにより，同じハードウェアを用いてグレースケール画像とカラー画像の両方への適用が可能。

図3に提案している画像分割アルゴリズムのフローチャートの概要を示す。初期化フェーズ(a)では，隣接画素間の輝度値(カラー画像に対しては，RGBデータ)の差からピクセル間の結合重みを計算する。そして，引き続き行われる領域成長処理の起点となるリーダセルを計算した結合重みによって決定する。メインフェーズにおいては，個々の領域を決定するために，自己発火(self-excitation) (b, c)と領域成長(region-growing) (d, e)が実行される。自己発火可能セルの検索フェーズ (b)においては，トークンパッシング検索により，リーダセルの中から1つのセルが選択される。そして，選択されたリーダセルは自己発火する(c)。引き続き行われる領域成長処理においては，隣接している発火セルとの結合重みの総和としきい値に基づいて，引火可能かどうか決定される(d)。その後引火可能セルは自動的に並列に発火し，領域の成長が行われる(d)。この成長過程はループ(d)-(e)において，発火可能なセルが存在する間繰り返される。もし，発火可能セルが存在しなければ，その領域の発火セルにあるセグメント番号をラベルし，鎮火処理が行われる(f)。上記の自己発火と領域成長

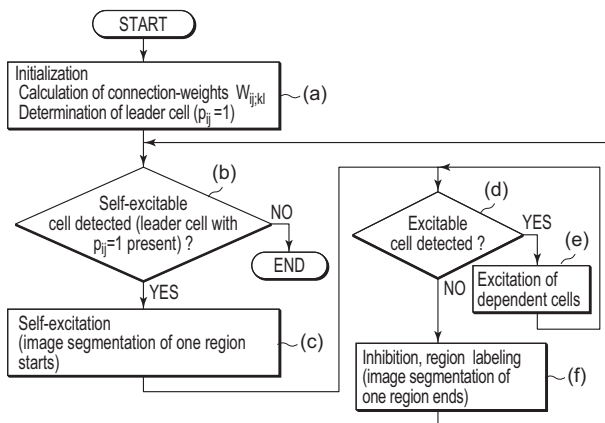


Figure 3: Examples of real image segmentation results for gray-scale (a)-(c) and color (d) images.

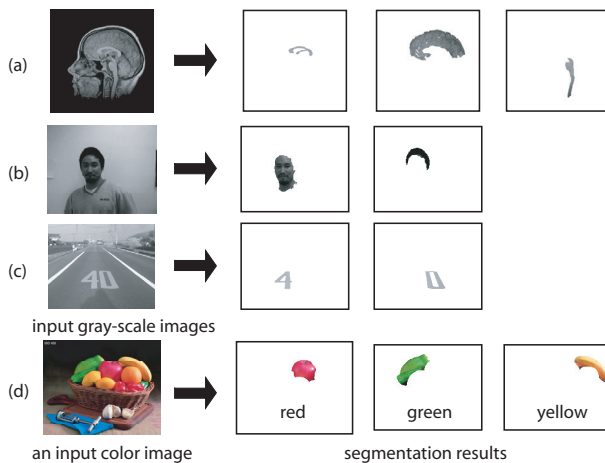


Figure 4: Block diagram of the cell-network-based image segmentation architecture with subdivided-image approach (SIA). The blocks with bold-line are added for SIA implementation.

過程はすべてのリーダセルが鎮火されるまで繰り返される。図4に上述のアルゴリズムを適用した画像分割の例を示す。

提案するVLSIによるセルネットワークベース画像分割アーキテクチャは，4つの機能ブロック(図5の太線以外の部分)からなり，結合重み計算回路(A)，リーダセル決定回路(B)，画像分割セルネットワーク(C)，並びに，画像分割結果保存回路(D)から構成される。結合重み計算回路(A)とリーダセル決定回路(B)はアルゴリズムの(a)の初期化を実行する。計算された結合重みとリーダセルの情報は，カラム並列でセルネットワーク(C)に転送される。セルネットワーク(図6)は，アクティブセル P_{ij} と結合重みレジスタブロック WR_{ij} から構成され，アルゴリズムのステップ(b)-(f)を画素並列で実行する。各アクティブセル P_{ij} は各画素に対応し，現在のクロックサイクルにおけるセルの状態と隣接するセルとの結合重みの総和に基づいて現在の状態を決定する処理要素である。結合重みは各セルの間に配置されている結合重みレジスタブロック WR_{ij} に保存されている。最後に画像分割の結果は，画像分割保存回路(D)に保存される。

アクティブセル P_{ij} はデコーダ，加算器/減算器，コントロールユニット，及び，4つの1ビットレジスタから構成される。我々はアクティブセル P_{ij}

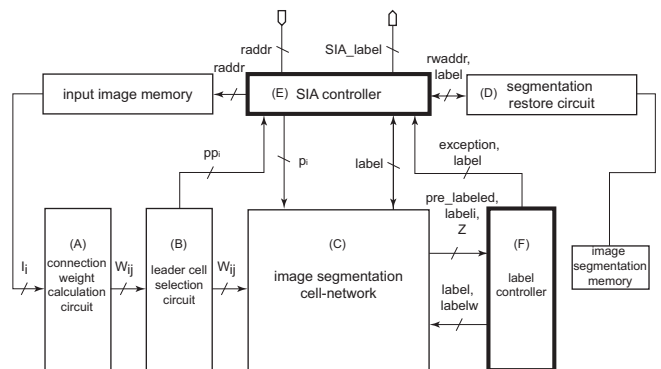


Figure 5: Block diagram of the cell-network-based image segmentation architecture with subdivided-image approach (SIA). The blocks with bold-line are added for SIA implementation.

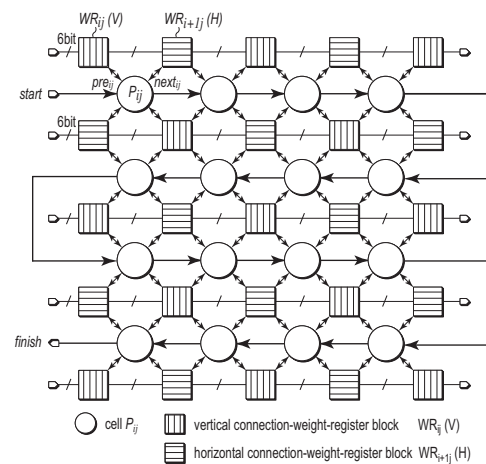


Figure 6: Construction of the cell-network for 4x4 pixels. Vertical and horizontal registers are used for resource-sharing of the connection-weights.

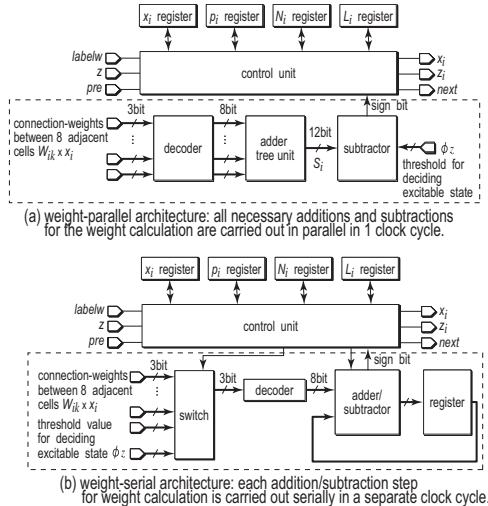


Figure 7: Weight-parallel (a) and weight-serial (b) structure of active cells.

の実現方法として、高速な実現方法として weight-parallel (WP, 図 7a, シングルクロックサイクル実行) と高密度な実現方法として weight-serial (WS, 図 7b, 複数クロックサイクル実行) の 2 種類の方法を開発している。これらの 2 つの実現方法の大きな違いは、図 7 a, b の波線で囲んだ部分の結合重み計算処理ブロックである。

文献 [5] で報告したテストチップは、画素集積度 PID が 19.6 pixel/mm^2 であった。そこでこのテストチップ設計に基づいて、5 層配線を有する CMOS 技術に対して、ゲートサイズをスケールダウンした場合の予想される画素集積度 PID をフルカスタム設計による weight-parallel と weight-serial のセルネットワークアーキテクチャに対して見積もった。図 8 は 90nm CMOS 技術における予測結果で、画素集積度 PID は 665 pixel/mm^2 となり、QVGA 画像サイズを処理するために必要とされるチップサイズは 116 mm^2 ($11 \text{ mm} \times 11 \text{ mm}$) となった。もし、5 層配線以上の配線層が使用可能である場合には、VDD や VSS の電源配線層を導入することによりさらなる画素集積度の向上が期待できる。International Technology Roadmap for Semiconductors (ITRS2002 Update) によると 2004 年における cost-performance market での典型的なチップサイズが 195 mm^2 ($14 \text{ mm} \times 14 \text{ mm}$) と予想されており、このことから 90nm CMOS 技術を用いることで QVGA

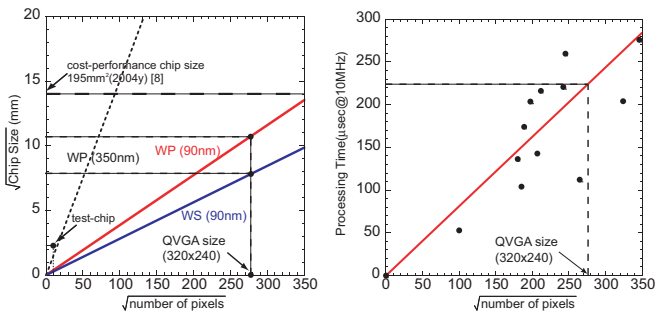


Figure 8: Chip-size estimation for weight-parallel (WP) and weight-serial (WS) architectures at the 90nm technology node with 5 metal layers as a function of the image size.

Figure 9: Image segmentation time estimation of WP architecture for larger image sizes at 10MHz clock frequency.

画像サイズの画像分割のための weight-parallel アーキテクチャが 1 チップで実現化可能であることが期待できる。更に weight-parallel アーキテクチャによる画像分割処理速度をソフトウェアシミュレータで様々な自然画像サンプルに対して適用して評価を行った。実際にチップとして試作した weight-parallel アーキテクチャの平均シミュレーション時間を図 9 に示す。この結果から 90nm CMOS, 5 層配線技術を用いることによりリアルタイムのフルカラーの QVGA 画像サイズの画像分割チップは、10MHz という非常に低い動作周波数にもかかわらず、1 フレーム当たり 250msec で処理を行うことが可能である。

2.2 画像領域分割処理アプローチ (SIA)

2.1 節で述べたようにオリジナルのアーキテクチャの非常に高速な画像分割処理速度を利用することにより、画像をタイル領域に分割してパイプライン処理することによりハードウェアコストを削減することが可能である。画像領域分割処理アプローチ (SIA) と呼ぶ方法の基本的な概念を図 10 に示す。入力画像は 1 行 1 列の重なり合ったタイル画像領域に分割される。そして、各タイル画像は対応する小さな画像分割セルネットワークによって逐次的にパイプライン処理される。重なり合った領域の画像分割のラベル番号 (プリラベル番号) は、一連のタイル画像の分割の際に再利用される。図 11 に示すように、画像分割領域番号は、引き続き処理されるタイル領域に引き継がれていき、全体の画像分割と同じ結果を得ることが可能になる。この結果、画像サイズが増加しても、SIA を用いることにより非常に大きな画像分割セルネットワークを用いなくてよく、小面積での集積化が可能となる。

SIA アーキテクチャは、これまでに開発しているオリジナルのセルネットワークアーキテクチャを拡張することにより実現できる。図 6 の太線で囲んだ SIA controller (E) と label controller (F) の 2 つのブロックを追加する。更に、画像分割セルネットワークと分割領域保存回路にプリラベル番号制御の

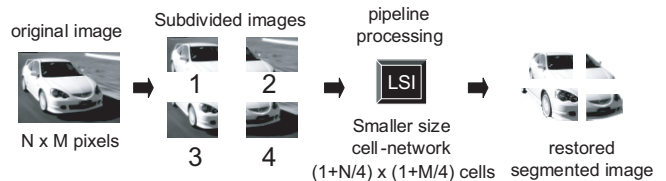


Figure 10: Conceptual diagram of the subdivided-image approach (SIA). Pipelined segmentation of image tiles with a corresponding smaller-size cell-network is applied.

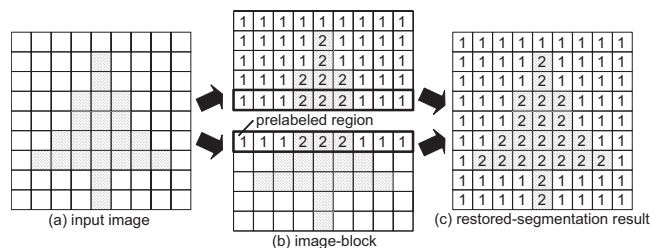


Figure 11: Processing example of the SIA approach. Prelabeled regions at the boundary of the tile enable correct segmentation of regions extending over several tiles.

ための少しの変更を加えればよい．提案する SIA アーキテクチャの処理の概要を以下に述べる．前のタイル画像の画像分割が終了したとき，SIA controller によって次に処理されるタイル画像のアドレス $raddr$ が入力メモリに割り当てられる．画素データは行単位で入力され，結合重み w_{ij} とリーダセル信号 ppi は入力画像の輝度値 I_i (カラー画像では R, G, B データ) により計算され，行パラレルパイプラインモードでセルネットワークに転送される．各タイル画像の重なり合った領域 (画像の左行と上列) のプリラベルセル (プリラベル番号の付けられたセル) は SIA controller によって全てリーダセルにセットされる．その後，タイル画像の画像分割がセルネットワークによって実行される．画像分割終了後，label controller によって，この後処理されるタイル画像の重なり合った行・列のラベル番号が保存され，引き続き処理されるタイル領域のセルネットワークへと転送される．この一連のタイル画像の画像分割は，画像分割保存回路により画像分割メモリに画像分割結果を記録することで完了する．

2.3 低消費電力化技術

低消費電力化のために，現在の画像分割の領域成長に関与しないセルネットワーク内のセルを低消費電力のスタンバイモードにすることにより実現する．

2.3.1 境界セル限定動作(BAO)のコンセプト

これまで述べてきたアーキテクチャは，画素に対して全並列処理に基づくため，画素数が増加するにつれて，消費電力の増加が問題となる．そのため，SIA アーキテクチャを用いない場合には，VGA サイズの画像に対するセルネットワークの消費電力は 1W を超えてしまう．そのために，バッテリーベースのモバイルアプリケーションに対して用いる場合には，更なる消費電力の削減が必要不可欠である．

この目的のために，リアルタイム処理性能を犠牲にすることなく低消費電力を成し遂げる技術として，

境界セル限定動作 (BAO) 手法を提案する．提案アルゴリズムの特徴である領域成長による画像分割領域の成長の特徴を効果的に用いることにより，現在成長している領域の境界に属するセルのみアクティブモードにする方法である．図 12 に示すようにそれ以外のセルは，低消費電力のローパワーモードにする．もう少し正確に定式化すると，次の 3 つの条件を満たすセルは低消費電力のスタンバイモードに自動的に遷移する；(1) 既に発火しているセルである ($x_{ij}=1$) .(2) 既に分割領域のラベルが付けられている ($l_{ij}=1$) .(3) まだ発火しておらず，分割領域のラベルも付けられていないが，隣接するセルが 1 つ前のクロックサイクル t において発火していないセル．以上の条件を満たす場合にはスタンバイモードとする．

2.3.2 BAO コンセプトの実現方法

提案 BAO アーキテクチャは消費電力の最小化のためにローカルとグローバルの 2 つのアプローチで実現している．ローカルアプローチは，BAO コントローラを各セルに実現し (図 13, 14)，上述の 3 つの条件のいずれかを満足した場合には，自動的にスタンバイモードに遷移するようにしたものである．3 つのいずれの条件も満足しないセルは，ローカルクロック信号 ($cell_CLK_{ij}$) によって活性化 (アクティブモード) される．セルネットワークは大きな容量を持つ長いグローバルクロック配線を有するため，効率よく消費電力を削減するためにグローバルアプローチとして，グローバルクロックの制御を適用している．図 15 はグローバル BAO の実現方法の説明図で，各セルの状態を検出することで，領域成長に関係する列を検出し，クロック信号を分配するアクティブセルを部分的に限定することにより，実現している．この領域成長の境界の検出には，オーバーヘッドはなく，領域成長の処理過程の信号を再利用することで実現できる．具体的には，セルネットワークの全

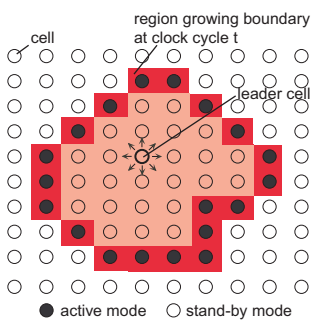


Figure 12: Conceptual diagram of the proposed boundary-active-only (BAO) scheme.

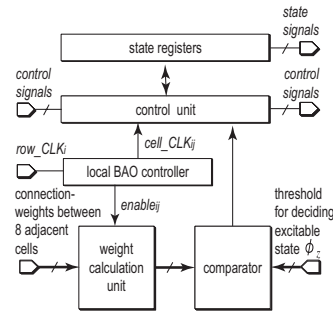


Figure 13: Block diagram of the cell with BAO controller.

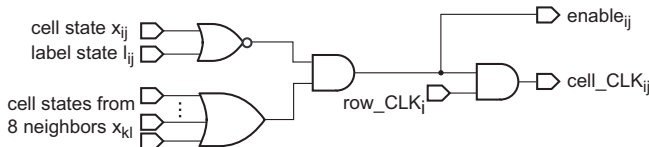


Figure 14: Circuit diagram of BAO controller in each cell for cell-internal power reduction.

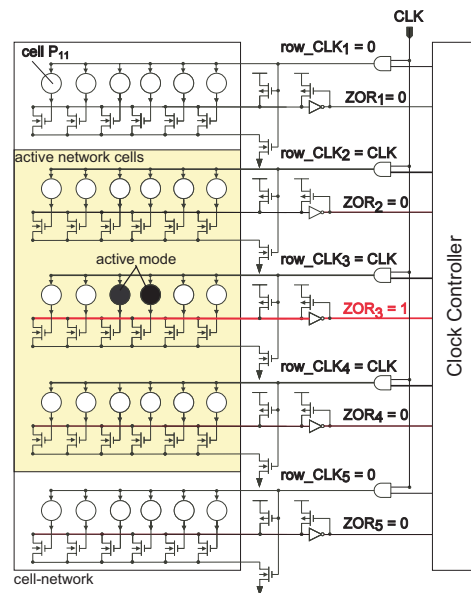


Figure 15: Block diagram of global BAO implementation for power-reduction of clock distribution. Rows i containing region-boundary cells are detected ($ZOR_i=1$) from the state signals of the row cells. The clock controller distributes the clock only to rows containing boundary cell and their nearest neighbor rows $\{-1, i, i+1\}$.

てのセルの状態信号の論理和を用いて検出し、1つ前のクロックサイクルにおいて、現在の領域成長の境界に属するセルがその列に含まれているかどうかを検出する。領域成長の境界のセルが含まれている列*i*のみが状態信号が"ZOR_i = 1"となる。クロック制御回路は、これを検出し隣接する列{i-1, i, i+1}にのみ次のクロックサイクルでクロックを分配し、それ以外の部分は分配を停止する。

提案する低消費電力BAOアーキテクチャがどれだけ消費電力の削減に寄与するかをHSPICEを用いたワーストケースのアナログ回路シミュレーションにより検証した。その結果10×10の小さなセルネットワークに対して、適用前に比べて約75%の消費電力の削減を達成した。

2.4. CMOSテストチップ設計による性能評価

パイプラインSIA画像分割アーキテクチャの画像分割処理時間と消費電力はタイル領域の数に依存する。そこで、テストチップ設計の前に、VGAサイズ画像を処理するのに最も適切なタイルサイズを算出した。図16は0.35μm CMOS技術における10MHzクロック周波数動作時のタイル領域のサイズに関するSIAアーキテクチャの画像処理時間と消費電力の関係を示したグラフである。グラフより明らかに画像分割処理時間とタイル領域サイズと消費電力の関係はトレードオフの関係が見受けられる。そのため、最適なセルネットワークサイズは目標とするアプリケーションに応じて適切に決める必要がある。VGAサイズ画像(640×480)のビデオ画像に対するモバイルアプリケーションに対しては、次の制約を考慮した：処理

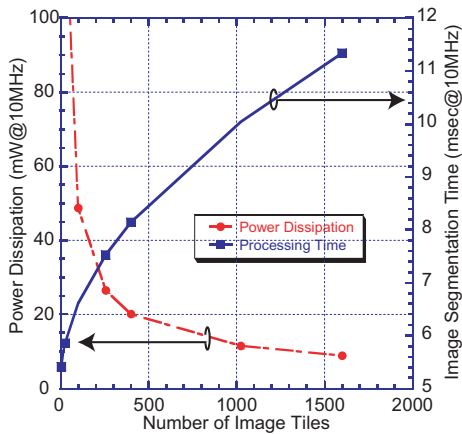


Figure 16: Estimated SIA performance data for VGA size images as a function of tile size (0.35μm CMOS with 3-metal layer, 10MHz clock frequency).

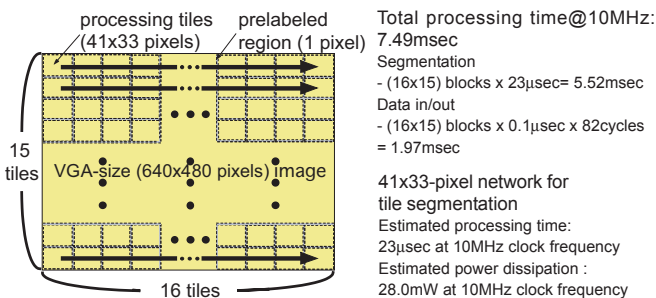


Figure 17: Segmentation of a VGA-size image with subdivided-image pipeline processing. 41×33-pixel sized tiles are processed sequentially by the cell-network with BAO scheme.

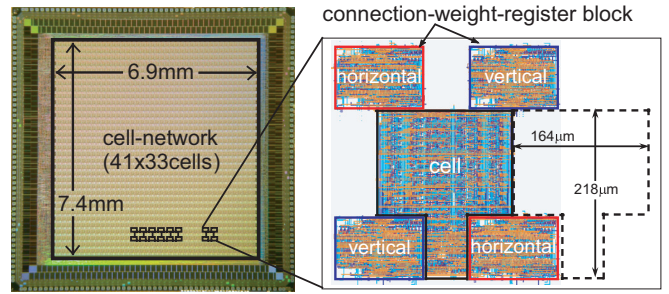


Figure 18: Die photo of the network with BAO including 41×33 cells. It is designed in a 0.35μm 3-metal CMOS technology.

Table I: Characteristic data of the designed test-chip.

Technology	0.35μm, 2-Poly 3-Metal CMOS
Cell Architecture	Weight-Parallel (high-speed)[5]
Design Area	6.9mm×7.4mm (41×33 cells)
Supply Voltage	3.3V
Max Clock Frequency	20MHz
Segmentation Time (41×33 pixels)	23μsec@10MHz (Worst Case)
Power Dissipation (Simulated, 41×33 pixels)	21.8mW@10MHz (Segmentation) 60.72mW@10MHz (Initialize)
Pixel Density	26.5pixel/mm ²

時間は8msec以下(リアルタイム処理に対してある程度のマージンを与えるため)、消費電力は50mW以下。これらの条件からタイル領域のサイズとして、40×32画素を用いることとした。SIAにおける領域の重なりを考慮すると画像分割セルネットワークサイズとして41×33を採用した。SIAアーキテクチャに基づくVGAサイズ画像の画像分割のための詳細なパラメータ選択について図17に示す。

今回のテストチップ試作では、特に提案したBAO手法の検証の目的のために考慮して、SIAアーキテクチャの主な機能ユニットである41×33セルを有する画像分割セルネットワークを0.35μm CMOS, 3層配線技術を用いて設計し試作を行った。試作したチップの写真を図18に示す。図18の右側に示しているのはセルと結合重みレジスタブロックのフルカスタム設計によるレイアウト図で、スタンダードセルによる設計に対して約50%の面積削減を達成した。提案したBAOコンセプトを実現した設計したテストチップのHSIM回路シミュレータ[7]による消費電力シミュレーションの結果は、画像分割時に約21.8mW、初期化時に焼く60.7mWであった。これは、BAOを用いない場合の10×10セルのセルネットワーク[5]の消費電力24.4mW@10MHzに対して、約12倍小さなものであった。これにより提案したBAOの有効性が立証できた。表1に試作した画像分割テストチップの緒元を示す。

3. まとめ

本報告では、リアルタイムアプリケーションにおけるグレースケール/カラー画像に対する全画素並列処理を用いたセルネットワークベースデジタル画像分割アーキテクチャを提案した。アーキテクチャのコアであるセルネットワークの0.35μm CMOSテストチップ試作の結果から、提案アーキテクチャの有効性を検証した。テストチップによる性能評価では、9.5msec以下の高

速な画像分割処理時間と 36.4mW@10MHz 以下の低消費電力を達成することができた。これらの結果から 90nm CMOS 技術を用いることにより、QVGA サイズ画像の画像分割が 300usec@10MHz 以下で処理が可能である。更に、VGA サイズ画像に対しては、画像領域分割処理(SIA)による小面積化と境界セル限定動作(BAO)による低消費電力化を実現することにより、低消費電力かつハードウェア効率の良いパイプライン画像分割アーキテクチャを提案した。提案したアーキテクチャを 0.35um CMOS 技術で 41 × 33 セルの画像分割セルネットワークコアの 51mm² サイズのテストチップ設計によりその有効性を検証した。VGA サイズ画像の画像分割処理性能は、10MHz クロック動作時に消費電力が 21.8mW、処理時間が 7.49msec を達成した。

4. 今後の予定

今後の課題としては、結合重み計算回路やリードセル決定回路などの周辺回路を含んだ大規模セルネットワークのテストチップ設計と、低消費電力化のためのアーキテクチャの更なる改良、並びに完全な画像分割処理システムの構築が挙げられる。また、提案しているセルネットワークベース画像分割アーキテクチャと全並列高面積効率の最小マンハッタン距離検索連想メモリを用いた動き物体検出アーキテクチャの開発を計画している。動き物体検出システムのためのプロトタイプアーキテクチャ開発は次のステップの課題である。更に、連想メモリベース情報処理システム実現に向けて、特徴抽出ユニットのアーキテクチャと回路技術の開発も重要な課題の一つである。

謝辞

本チップ試作は東京大学大規模集積システム設計教育研究センター(VDEC)を通し、ローム(株)および凸版印刷(株)の協力で行われたものである。HSIM 回路シミュレーションは Nasda 社のアカデミックライセンスプログラムの協力で行われた。

参考文献

- [1] J. C. Russ, "The Image Processing Handbook," pp. 371-429, CRC PRESS, 1999.
- [2] B. Jähne, "Digital Image Processing, 5th revised and extended edition," ch. 16, pp. 427-440, Springer, 2002.
- [3] S. Y. Chien, et al., Proc. of 2002 IEEE Asia-Pacific Conf. on ASICs, pp. 233-236, 2002.
- [4] H. Ando, et al., Proc. of the 28th European Solid-State Circuits Conf., pp.703-706, 2002.
- [5] T. Morimoto, et al., Extend. Abst. of the 2002 Int. Conf. on Solid State Devices and Materials, pp. 242-243, 2002.
- [6] T. Morimoto, et al., IEICE Trans. on Information & Systems, Vol.E87-D, No.2, pp. 500-503, 2004.
- [7] Nasda Co., "HSIM, Ver.3.0", <http://www.nasda.com/>, 2004.

5. これまでの研究発表、特許等

(1) 原著論文

1. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Efficient video-picture segmentation algorithm for cell-network-based digital CMOS implementation," IEICE Trans. on Info. & Sys., Vol.E87-D (2) (2004) pp. 500-503.

(2) 国際会議プロシーディング等

1. T. Koide, T. Morimoto, Y. Harada, and H. J. Mattausch, "Digital gray-scale/color image-segmentation architecture for cell-network-based real-time applications," Proc. of The 2002 Int'l Tech. Conf. on Cir. & Sys., Computers. and Communications

(ITC-CSCC2002), pp. 670 -673, 2002

2. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Real-time segmentation architecture of gray-scale/color motion pictures and digital test-chip implementation," Proc. of The 2002 IEEE Asia-Pacific Conf. on ASICs (AP-ASIC2002), pp. 237-240, 2002.
3. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Low-complexity, highly-parallel color motion-picture segmentation architecture for compact digital CMOS implementation," Ext. Abs. of the 2002 Int'l Conf. on Solid State Devices and Materials (SSDM2002), pp. 242-243, 2002.
4. Y. Harada, T. Morimoto, T. Koide, and H. J. Mattausch, "CMOS test chip for a high-speed digital image-segmentation architecture with pixel-parallel processing," Proc. of the 2003 Int'l Tech. Conf. on Cir. & Sys., Computers and Communications (ITC-CSCC 2003), pp. 284-287, 2003.
5. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Low-power real-time region-growing image-segmentation in 0.35um CMOS due to subdivided-image and boundary-active-only architectures," Ext. Abs. of the 2003 Int'l Conf. on Solid State Devices and Materials (SSDM2003), pp. 146-147, 2003.
6. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "350nm CMOS test-chip for architecture verification of real-time QVGA color-video segmentation at the 90nm technology node," Proc. of the Asia South Pacific Design Automation Conf. 2004 (ASP-DAC2004), pp. 531-532, 2004.
7. O. Kiriyama, T. Morimoto, H. Adachi, Y. Harada, T. Koide, and H. J. Mattausch, "Low-power design for real-time image segmentation LSI and compact digital CMOS implementation," Proc. of The 2004 IEEE Asia-Pacific Conf. on ASICs (AP-ASIC2004), 2004, to appear.

(3) 特許

1. 特願 2002-152491：名称「画像分割処理方法、画像分割処理装置、リアルタイム画像処理方法、リアルタイム画像処理装置及び画像処理集積回路」、2002年5月27日出願。
2. "Image segmentation method, image segmentation apparatus, image processing method, and image processing apparatus", USA Patent Application No.10/445,247, 2003.05.26.
3. "Image segmentation method, image segmentation apparatus, image processing method, and image processing apparatus", EPC Patent Application No.03011840.0, 2003.05.26.
4. "Image segmentation method, image segmentation apparatus, image processing method, and image processing apparatus", KOR Patent Application No.2003-33324, 2003.05.26.
5. "Image segmentation method, image segmentation apparatus, image processing method, and image processing apparatus", TWN Patent Application No.92114142, 2003.05.26.
6. 特願 2003-322163：名称「画像分割処理装置、画像分割処理方法及び画像分割処理集積化回路」、2003年9月12日出願。
7. "Image segmentation apparatus, image segmentation method, and image segmentation integrated circuit", USA, EPC, KOR, TWN Patent Application No. TBD, 2004.05.31.

(4) 受賞

1. 森本 高志, 原田 洋明, 小出 哲士, マタウシュ ハンスユルゲン, "知能情報処理のためのリアルタイム画像分割処理アーキテクチャ," 第4回 LSI IP デザイン・アワード開発奨励賞, LSI IP デザイン・アワード運営委員会, 2002年5月. URL <http://ne.nikkeibp.co.jp/award/>
2. 森本 高志, "リアルタイムで画像分割処理を行うアーキテクチャとデジタル回路による実現方法の提案と LSI チップに関する研究," 広島大学学生表彰, 第1-0061号, 広島大学学長 牟田 泰三, 2003年3月.

(5) その他、研究会口頭発表等

1. 森本 高志, 原田 洋明, 小出 哲士, マタウシュ ハンスユルゲン, "セルネットワークに基づくカラー・グレースケール画像分割アーキテクチャ," 電子情報通信学会 技術研究報告 回路とシステム研究会 (VLD2002-48), pp.39-54, 2002.
2. 原田 洋明, 森本 高志, 小出 哲士, マタウシュ ハンスユルゲン, "全画素並列画像分割セルネットワーク LSI の設計," 電気・情報関連学会中国支部第53回連合大会, pp.591-592, 2002.
3. 森本 高志, 原田 洋明, 小出 哲士, マタウシュ ハンスユルゲン, "リアルタイム画像処理のためのセルネットワークに基づくデジタル画像分割 LSI," 第5回 IEEE 広島支部学生シンポジウム, pp. 221-224, 2003.
4. 桐山 治, 森本 高志, 足立 英和, 原田 洋明, 小出 哲士, マタウシュ ハンスユルゲン, "セルネットワークベース画像分割 LSI の低消費電力化設計," 電子情報通信学会 2004 年総合大会, No. C-12-10, p.112, 2004.