

最小距離検索回路の改良による 全並列型連想メモリの研究

Kazi Mujibur Rahman (COE 研究員),
上村 一弘 (工学部第二類 B4),

Hans Jürgen Mattausch (ナノデバイス・システム研究センター 教授, 先端研半導体集積科学専攻),
小出 哲士 (ナノデバイス・システム研究センター助教授, 先端研半導体集積科学専攻)

1. 研究目的

連想メモリは、検索データに対して予め記憶された複数の参照データのうち最も類似したデータを呼び出す機能メモリであり、パターン認識、人工知能システム、及び画像圧縮技術など様々なシステムに応用可能である。そのために必要な連想メモリのパフォーマンスとして高速な検索機能、低消費電力な動作、並びに小面積などが挙げられる。

そこで、これまでに我々の研究グループが提案した、デジタル-アナログ混合型の全並列型連想メモリ [2] に対して、検索時間、消費電力の性能に大幅に影響を与える最小距離検索回路を改良し、シミュレーションによる検証で性能向上の有効性を示す。

2. これまでの研究成果概要

2.1 全並列型連想メモリ

全並列型連想メモリの主な構成として、検索データ保存回路、行・列デコーダ及びリード/ライト回路、メモリセル領域、winner-lineup 増幅回路 (WLA)、winner-take-all 回路 (WTA) からなっている。このアーキテクチャは従来の連想メモリと異なり、メモリセル領域で行われる検索データと参照データの差の演算を、並列に処理することで検索時間を高速に、更に低消費電力かつ小面積を実現している [2]。また、行数 R に伴う最小距離検索回路の面積増加の割合を $O(R)$ で実現でき、面積効率がよい。検索データと参照データの差を表す指標として“距離”を用い、距離が最小のものを“winner”、次に近いものを“nearest-loser”、その他のものを“other-loser”と呼ぶ。最終結果はバイナリデータとして winner は 1、loser は 0 のデジタル値が出力される。

なお、回路設計においては ROHM 社の 0.35 μm CMOS 技術を使用している。

2.2 Winner Line-up 増幅回路 (WLA)

全並列型連想メモリのうち最小距離検索回路 [2] である、winner-lineup 増幅回路 (WLA) の初期の回路図を Fig. 1 に示す。メモリセル領域からの比較電流信号 C_i がマッチライン (ml) で MN_{ia} により電圧信号に変換されると、 MP_{ib} 、 MN_{ib} 、また MN_{ic} によって winner 行と loser 行の電圧差が増幅される。更に、ループしているフィードバック信号から ml の電圧を最適な増幅範囲へと調整する回路である。

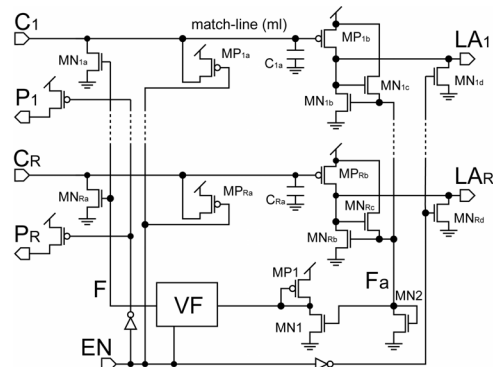


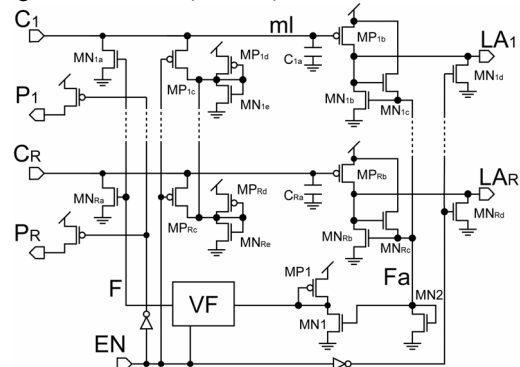
Fig.1 WLA circuit (WLA-A) with capacitors in the match lines.

2.3 検索時間の高速化のための WLA の改良

初期の winner-lineup 増幅回路 (WLA) では、Enable 信号 (EN) が LOW で回路が不活性状態の間、マッチライン (ml) は MP_{ia} によって V_{DD} にプリチャージされていた [3]。

そこで、Fig. 2 に示すように ml のプリチャージ回路を電圧一定の回路に変更して $V_{DD}-V_{th}$ にプリチャージすることで、 $EN = HIGH$ となって回路が活性化する時の MP_{ib} が起動するまでの時間を減らし、検索時間を短縮する方法を開発した。また、消費電力を考慮してプリチャージ回路の電流を約 3 μA に固定し、更に ml を共通の配線で接続することで ml の電圧を均一化したため、プロセスばらつきの影響の抑制が期待できる。

Fig. 2 WLA circuit (WLA-B) with match line



pre-charged to $V_{DD}-V_{th}$.

次に、Fig. 3 に示すように Fa ラインと F ラインにトランジスタ MN_3 、 MP_2 をそれぞれ付加してプリチャージすることで、初期検索と過渡検索の回路の初期状態を同じ条件にすることができ、検索時間の短縮を図った。

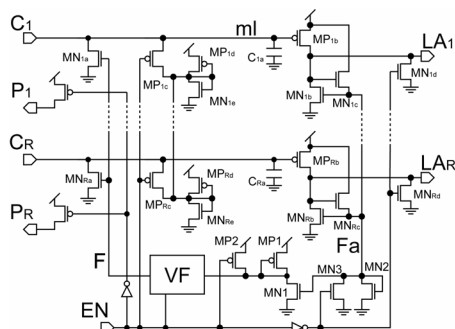


Fig. 3 Reset transistors added in the feedback path in WLA-C network to ensure same initial conditions for all searches.

2.2 シミュレーション結果

これら三つの回路 (WLA-A、WLA-B、WLA-C) の出力部分に winner-take-all 回路 (WTA) [4] を接続した回路に対して、ハミング距離を用いて参照パターン数 128、ビット数 512 の場合に対して、input と winner の距離を変化させたシミュレーションを行った。Fig. 4 は winner と nearest-loser の距離を 1 ビット、winner と other-loser の距離を 20 ビットとした場合の検索時間を示し、Fig. 5 は winner と nearest-loser の距離を 10 ビットに増やした場合の結果である。これより WLA-B は最大検索時間が 180 ns 以下で約 37% 短縮することができた。WLA-C による改善は約 1% 未満だった。Fig. 6-7 は winner と nearest-loser の距離が 1、10 ビットの場合の消費電力を表しており、WLA-B では約 14% 増加し、WLA-C では更に約 1% 増加したが、180 mW 以下の低消費電力を達成することができた。

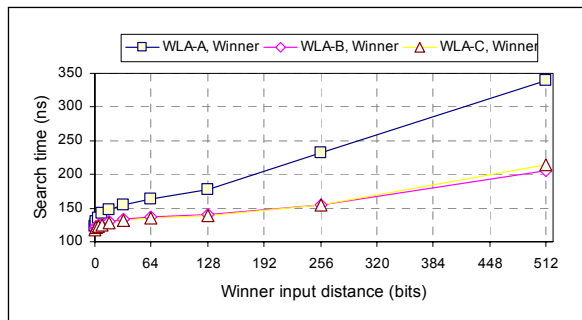


Fig. 4 Winner search times for the nearest-loser set at 1-bit apart while other-losers set at 21-bit distance.

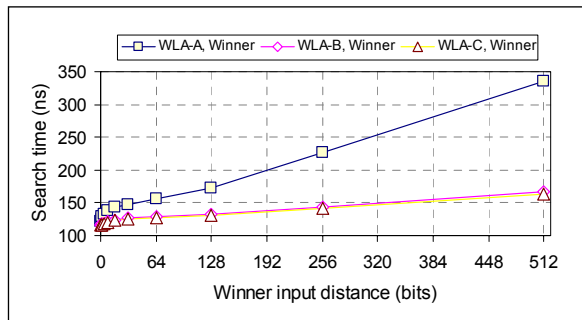


Fig. 5 Winner search times for the nearest-loser set at 10-bit apart while other-losers set at 21-bit distance.

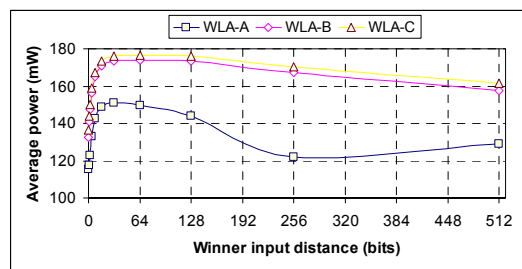


Fig. 6 Power consumption for the nearest-loser set at 1-bit apart while other-losers set at 21-bit distance.

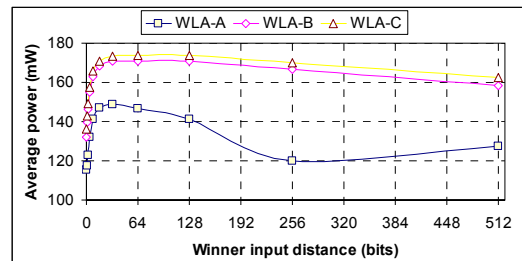


Fig. 7 Power consumption for the nearest-loser set at 10-bit apart while other-losers set at 21-bit distance.

3. 研究成果

マッチラインのプリチャージを V_{DD} から $V_{DD}-V_{th}$ へ改良した WLA 回路により、消費電力の増加を約 17% に抑えたままで最大検索時間を約 37% 高速化することができた。また、フィードバックループのプリチャージによる効果は 1% の程度であったが安定した検索を実現することができた。

4. 研究計画

ラーマン研究員は 2004 年 4 月にバングラディッシュへ帰国したが、現在も共同で全並列型連想メモリの研究を続けており、高速検索/低消費なマッチライン電流比較型の WLA 回路を開発中である。

参考文献

- 1) D. R. Tsveter, The Pattern Recognition Basis of Artificial Intelligence, Los Alamitos, CA: IEEE Computer Society, 1998.
- 2) H.J. Mattausch et al., IEEE J. Solid-State Circuits, vol. 37, pp.218-227, 2002.
- 3) H.J. Mattausch et al., Symposium on VLSI Circuits, pp. 252-255, 2002.
- 4) J. Lazzaro et al., in Advances in Neural Information Processing Systems, I.D.S. Touretzky Ed., San Mateo, CA: Morgan Kaufmann, 1989.

3. これまでの研究発表、特許等

① 国際会議プロシーディング等

1. K. M. Rahman, K. Kamimura, T. Koide and H. J. Mattausch, "Improved Mixed Digital-Analog-Match Circuit for Fully-Parallel Associative Memories," Second Hiroshima International Workshop on Nanoelectronics for Terra-Bit Information Processing, pp. 40-41. 2004.
2. K. Kamimura, K. M. Rahman, T. Koide and H. J. Mattausch, "Optimized Mixed Digital-Analog Nearest-Match Circuit for Fully-Parallel Associative Memories," the 2004 IEEE International Midwest Symposium on Circuits and Systems, in press, 2004.