

リアルタイム画像分割アーキテクチャの開発と LSI チップによる検証

森本 高志 (先端研量子物質科学専攻 D1),

小出 哲士 (ナノデバイス・システム研究センター助教授, 先端研半導体集積科学専攻),

Hans Jürgen Mattausch (ナノデバイス・システム研究センター 教授, 先端研半導体集積科学専攻)

1. 研究目的

画像分割処理は, 入力として取り込んだ複雑な自然画像から個々の対象物を抽出する処理であり, オブジェクトベースの処理である画像認識や動体検出等において重要な前処理である. しかし, 一般的な画像分割アルゴリズムはソフトウェア向けで, これらをプロセッサや DSP などに実装した場合にコスト, 消費電力, 面積, 処理速度などの要求を同時に満たすことは難しい.

本研究の目的は, ハードウェア実装向け画像分割処理アルゴリズムの提案とその集積化システムの開発である.

2. これまでの研究成果概要

我々は, カラー・グレースケールのリアルタイムビデオ画像に対して, 高並列処理可能なデジタル方式のアルゴリズムと最先端の CMOS 技術でデジタル回路として実現可能なセルネットワークベースのアーキテクチャを提案している. 提案アルゴリズムは, 領域成長法の一つで, LEGION の振動子ネットワークをデジタル方式に単純化したものである. 図1にアルゴリズムの動作例を示す. カラーとグレースケールの画像分割はセル間の結合重み計算のみが異なる.

このアルゴリズムに基づく提案 VLSI アーキテクチャ(図 2)は, 結合重み計算, リードセル決定, 画像分割, 及び分割結果保存の 4 つのステージから構成される. 核となる画像分割ネットワークは画像分割セル(図 3)と結合重みレジスタ(図 4)から構成され, 画像分割セルは入力画像の画素に対応する. セルネットワークでは, 図 1 の自己発火と発火のステップを全ての画素に対して並列に実行する. 図 5 に示すように, セルネットワークは分割セルと水平/垂直結合重みレジスタブロックが交互に敷き詰められた構造となっている. これにより, 隣接するセル間で結合重みの共有が可能となり, 配線や面積を削減することができる. 更に分割セルの構造が簡単で小面積なので, 高速・高密度の実現が可能である.

図 6 に 3 層メタル配線 0.35 μm CMOS 技術によるテストチップのレイアウトを示す. 画像分割セルのデコーダと加算器/減算器は面積を最小化するためにフルカスタムで設計を行った. その結果集積密度は 16.1 pixels/mm² を達成することができた. CMOS 技術が微細化された時の高速版(図 3a)と高密度版アーキテクチャのフルカスタム設計における集積密

度(図 3b)についての見積もりを行った. この結果, 100nm ノードにおいて 300 \times 300 ピクセル, 50nm ノードにおいて 800 \times 600 ピクセルの画像分割セルネットワークを1チップに集積する事が可能であることがわかった.

3. COE プログラムと成果の関係

以上の成果は, COE プログラムの研究テーマの一つである「リアルタイム画像認識システム」の基盤技術であり, 1チップで VGA サイズ画像をリアルタイム処理できる見込みを得た.

4. まとめと今後の課題

カラー画像に対応したリアルタイム画像分割アーキテクチャを提案した.

今後の予定としては, 低消費電力化及びVGA サイズ(640 \times 480 画素)の画像を1チップで処理を行うアーキテクチャの開発などを考えている.

5. 研究業績

① 原著論文

1. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Efficient video-picture segmentation algorithm for cell-network-based digital CMOS implementation," IEICE Trans. on Info. & Sys., Vol.E87-D (2) (2004) pp. 500-503.

② 国際会議プロシーディング等

1. T. Koide, T. Morimoto, Y. Harada, and H. J. Mattausch, "Digital gray-scale/color image-segmentation architecture for cell-network-based real-time applications," Proc. of The 2002 Int'l Tech. Conf. on Cir. & Sys., Computers. and Communications (ITC-CSCC2002) (2002) pp. 670-673.
2. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Real-time segmentation architecture of gray-scale/color motion pictures and digital test-chip implementation," Proc. of The 2002 IEEE Asia-Pacific Conf. on ASICs (AP-ASIC2002) (2002) pp. 237-240.
3. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Low-complexity, highly-parallel color motion-picture segmentation architecture for compact digital CMOS implementation," Ext. Abs. of the 2002 Int'l Conf. on Solid State Devices and Materials (SSDM2002) (2002) pp. 242-243.
4. Y. Harada, T. Morimoto, T. Koide, and H. J. Mattausch, "CMOS test chip for a high-speed digital image-segmentation architecture with pixel-parallel processing," Proc. of The 2003 Int'l Tech. Conf. on Cir. & Sys., Computers. and Communications (ITC-CSCC 2003) (2003) pp. 284-287.
5. T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "Low-power real-time region-growing image-segmentation in 0.35 μm CMOS due to subdivided-image and boundary-active-only architectures," Ext. Abs. of the 2003 Int'l Conf. on Solid State Devices and Materials

(SSDM2003) (2003) pp. 146-147.

- T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, "350nm CMOS test-chip for architecture verification of real-time QVGA color-video segmentation at the 90nm technology node," Proc. of the Asia South Pacific Design Automation Conf. 2004 (ASP-DAC2004) (2004) pp. 531-532.

③ 特許

- 特願 2002-152491:名称「画像分割処理方法, 画像分割処理装置, リアルタイム画像処理方法, リアルタイム画像処理装置及び画像処理集積回路」、2002年5月27日出願。
- "Image segmentation method, image segmentation apparatus, image processing method, and image processing apparatus", USA Patent Application No.10/445,247 (2003.05.26), EPC Patent Application No.03011840.0 (2003.05.26), KOR Patent Application No.2003-33324 (2003.05.26), TWN Patent Application No.92114142 (2003.05.26).

④ 受賞

- 森本 高志, 原田 洋明, 小出 哲士, マタウシュ ハンスユルゲン, "知能情報処理のためのリアルタイム画像分割処理アーキテクチャ," 第4回 LSI IP デザイン・アワード開発奨励賞, LSI IP デザイン・アワード運営委員会, 2002年5月. URL <http://ne.nikkeibp.co.jp/award/>
- 森本 高志, "リアルタイムで画像分割処理を行うアーキテクチャとデジタル回路による実現方法の提案と LSI チップに関する研究," 広島大学学生表彰, 第 1-0061号, 広島大学学長 牟田 泰三, 2003年3月.

⑤ その他

- 森本 高志, 原田 洋明, 小出 哲士, マタウシュ ハンスユルゲン, "セルネットワークに基づくカラー・グレースケール画像分割アーキテクチャ," 電子情報通信学会 技術研究報告 回路とシステム研究会 (VLD2002-48), pp.39-54, 2002.
- 森本 高志, 原田 洋明, 小出 哲士, マタウシュ ハンスユルゲン, "リアルタイム画像処理のためのセルネットワークに基づくデジタル画像分割 LSI," 第5回 IEEE 広島支部学生シンポジウム, pp. 221-224, 2003.

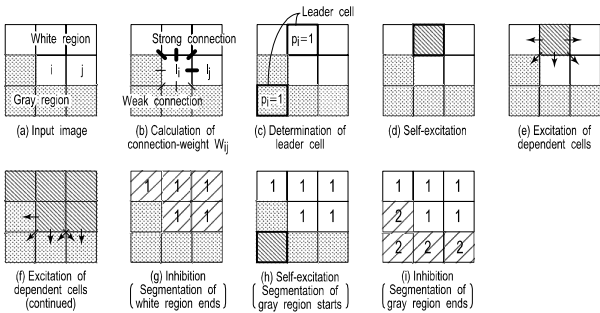


Fig.1 Explanation of our segmentation algorithm with 3x3 gray-scale example image.

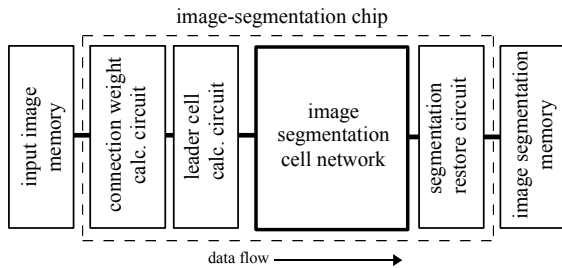


Fig.2 Block diagram of the proposed architecture.

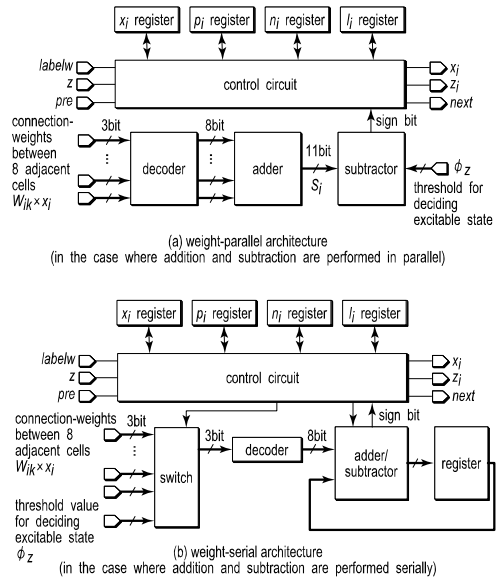


Fig.3 Structure diagram of the network cell.

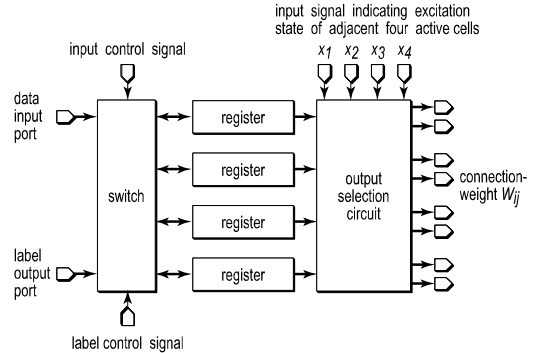


Fig.4 Structure diagram of a connection-weight-register block.

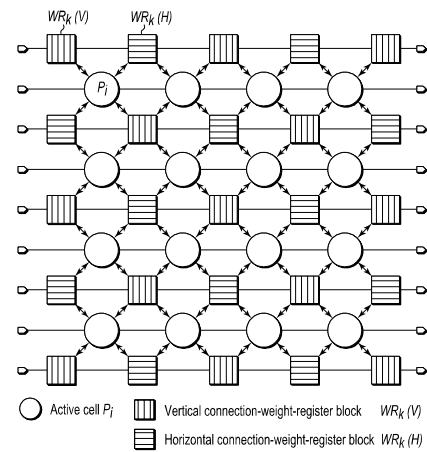


Fig.5 Block diagram of the cell-network construction for 4x4 pixels.

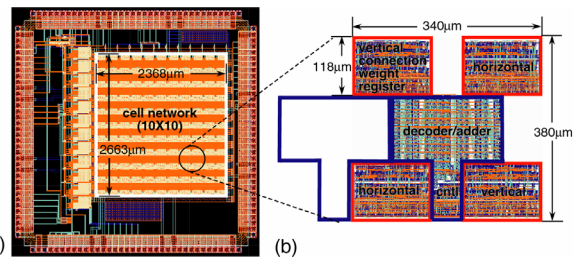


Fig.6 The layout of the test-chip with 0.35um 3-metal layer CMOS technology.