

HiSIM モデルパラメタ抽出用 TEG 設計と単体デバイスにおけるモデルパラメタ抽出

三浦道子 (先端研半導体集積科学専攻 教授),
溝口 健 (先端研量子物質科学専攻 M2),
上辻康人 (先端研量子物質科学専攻 M1)

1. 研究目的

本 COE では、領域融合を実現することによってこれまでの半導体応用分野において新たなブレイクスルーを狙うものである。本研究では、この第一歩として、ファウンドリー-TSMC の $0.18\mu\text{m}$ テクノロジーを用いて当グループで開発を進めている HiSIM のモデルパラメタ抽出用 TEG を設計・測定して、設計に必要な HiSIM モデルパラメタを提供する。

高精度な RF 回路設計を実現するためには、回路モデルが高精度であることと、モデルパラメタの信頼性が高いことが必要十分条件である。HiSIM がこれを実現するに耐えるモデルであることの検証と、抽出されたモデルパラメタが試作されたデバイスの特性を正確に再現しているかどうかの検証が次のステップとなる。

2. これまでの研究成果概要

図 1 に $3\text{X}3\text{mm}^2$ に設計した TEG ブロックを示す。MOSFET の基本特性を抽出するための単体構造が半分近くを占めている。MOSFET のチャンネル長やチャンネル幅を振ることによって特性を抽出できるようにしている。HiSIM の特徴は、トランジスタサイズのスケラビリティがあることで、多くのサイズを必要としないため、限られた面積で抑えられている。

次に大きな面積を占めているのが、いわゆる高周波特性を測定するための TEG で、これはこれまでの TEG 設計の経験を踏まえて外部寄与の影響が出ないように工夫されている。

更に、回路特性を評価するための TEG ブロックをいくつか作成している。一部は回路グループによる設計も搭載されており、デバイスの極限特性を利用した回路設計の性能検討ができるようになっている。

図2に単体 MOSFET のゲート長 $0.18\mu\text{m}$ について 16 個のチップにおけるしきい値電圧の測定結果を示す。ばらつきが非常に大きく、ゲート長 $0.18\mu\text{m}$ ではテクノロジーが安定してないことがわかる。

3. まとめ

図3-7に実測 I-V 特性とこれを再現するように HiSIM のパラメタを抽出した結果を示す。モデルパラメタとしては、すべてのゲート長について同じ値を用いており、ばらつきの範囲内で実測値を再現していることが分かる。いずれのゲート長も、ドレイン電圧が 1.5V に達するとインパクトイオン化が起きてチャンネルコンダクタンスが大きく増加して回路特性を低下させることが予想される。

4. 今後の予定

今後は高周波測定を実施して、今回抽出したモデルパラメタの信頼性を確認し、さらに RF 回路設計に必要なデータを構築する。

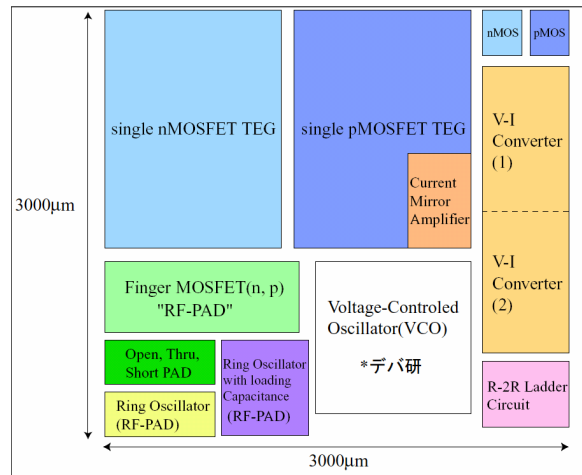


Fig. 1. Designed chip layout.

Condition: $L_{\text{gate}}=0.18\mu\text{m}$, $W_{\text{gate}}=5\mu\text{m}$, $V_B=0$

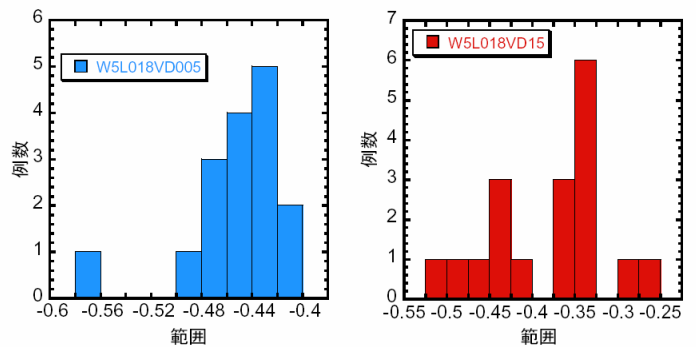


Fig. 2. Measured statistics from 16 chips.

Figs. 3-7. Comparison of measured I-V characteristics with HiSIM calculation results.

Fig3.

$L_{channel}=2.0\mu\text{m}$ $I_{DS}-V_{DS}$ and $G_{DS}-V_{DS}$ characteristics

Conditions: $V_{DS}=-1.49\text{V} \sim 50\text{mV}$; 0.02V step, $V_{BS}=0$
 $V_{GS}=-1.5 \sim -0.6\text{V}$; 0.3V step

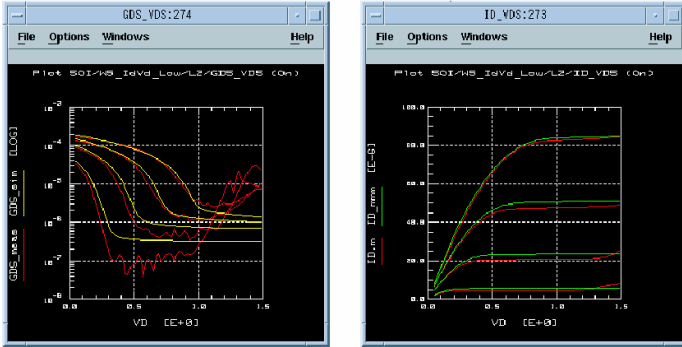


Fig4.

$L_{channel}=0.70\mu\text{m}$ $I_{DS}-V_{DS}$ and $G_{DS}-V_{DS}$ characteristics

Conditions: $V_{DS}=-1.49\text{V} \sim 50\text{mV}$; 0.02V step, $V_{BS}=0$
 $V_{GS}=-1.5 \sim -0.6\text{V}$; 0.3V step

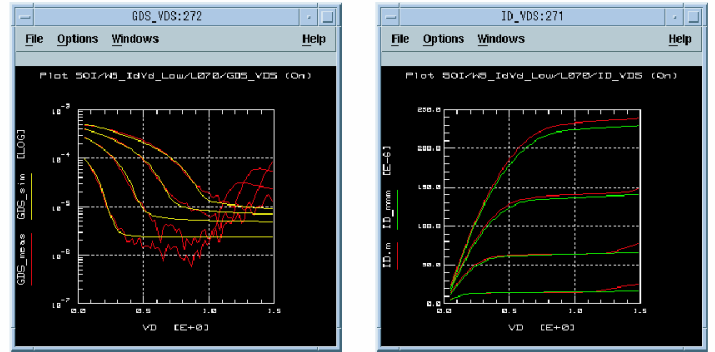


Fig5.

$L_{channel}=0.50\mu\text{m}$ $I_{DS}-V_{DS}$ and $G_{DS}-V_{DS}$ characteristics

Conditions: $V_{DS}=-1.49\text{V} \sim 50\text{mV}$; 0.02V step, $V_{BS}=0$
 $V_{GS}=-1.5 \sim -0.6\text{V}$; 0.3V step

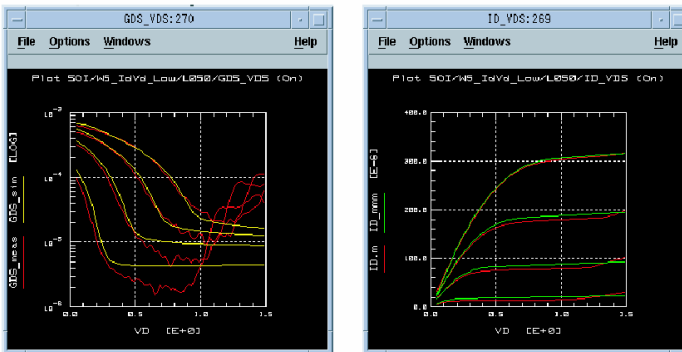


Fig6.

$L_{channel}=0.30\mu\text{m}$ $I_{DS}-V_{DS}$ and $G_{DS}-V_{DS}$ characteristics

Conditions: $V_{DS}=-1.49\text{V} \sim 50\text{mV}$; 0.02V step, $V_{BS}=0$
 $V_{GS}=-1.5 \sim -0.6\text{V}$; 0.3V step

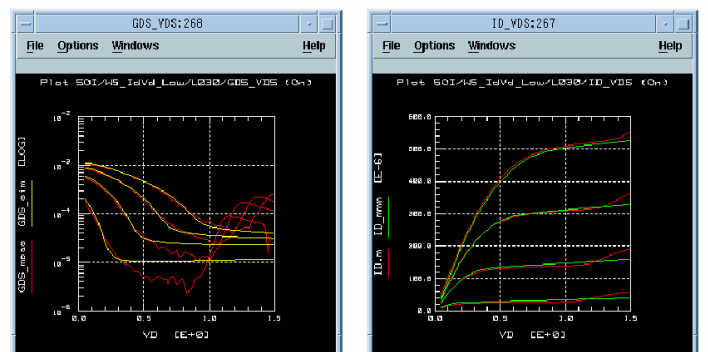


Fig7.

$L_{channel}=0.18\mu\text{m}$, $W=5.0\mu\text{m}$ $I_{DS}-V_{DS}$ and $G_{DS}-V_{DS}$ characteristics

Conditions: $V_{DS}=-1.49\text{V} \sim 50\text{mV}$; 0.02V step, $V_{BS}=0$
 $V_{GS}=-1.5 \sim -0.6\text{V}$; 0.3V step

