

# HiSIMにおける100nm CMOSテクノロジーにむけた1/fノイズのモデリング

研究代表者 上野 弘明 (先端研量子物質科学専攻 助手)  
分担者 三浦 道子 (先端研半導体集積科学専攻 教授)

## 概要

100nm テクノロジーまで通用する新しい回路シミュレーション用 MOSFET 1/f ノイズモデルを開発した。モデルの主な特徴はチャネル内に沿ったキャリア濃度分布を考慮している点である。モデルはドリフト-拡散近似に基づいた回路シミュレーションモデル HiSIM に組み込まれている。ゲート長に依存しない1つのモデルパラメータ(トラップ密度)だけで、すべての1/f ノイズ特性の測定値を十分再現する。

## 1 背景・目的

MOSFET の RF 応用において、1/f ノイズ特性の正確な予測は近年重要性が増してきている。その理由として、例えば低周波における1/f ノイズがアップコンバージョンにより高周波の位相ノイズに影響を与えることが挙げられる。

従来、MOSFET の1/f ノイズの理論的な原因として挙げられているのが、酸化膜界面におけるキャリアのトラップ/デトラップによるチャネル内のキャリア数のゆらぎ [2] と、キャリア移動度のゆらぎ [3] である。しかし、従来の回路シミュレーション用の1/f ノイズモデルの欠点として、ノイズの強いゲート長 ( $L_g$ ) 依存性や複雑なバイアス依存性を1つのモデル式で再現することができないことが挙げられる。1/f ノイズの実測値はゲート長の減少により大きく増加することがわかっている。それは従来の  $1/LW$  に対する線形性によるノイズの予測値よりも強いゲート長依存性を示すということである [4]。そこで、本研究の目的はあらゆるゲート長において1つのモデルパラメータセットで特性を再現できる回路シミュレーション用1/f ノイズモデルを開発することである。

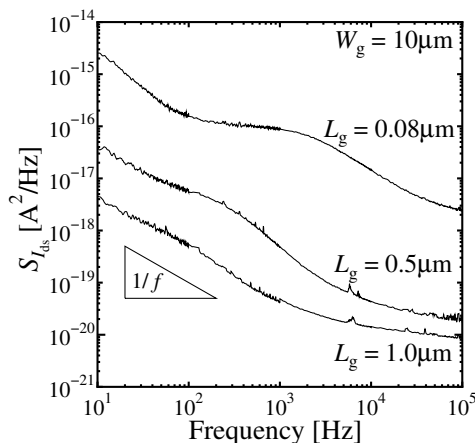


Fig. 1: Drain current noise of n-MOSFET with different gate length (0.08, 0.5 and 1.0  $\mu\text{m}$ ) under linear condition.

## 2 1/f ノイズ実測値の特性解析

1/f ノイズスペクトルは酸化膜においてトラップの密度とエネルギー分布が一様であると仮定することで得られ

る [2]。しかし、デバイスサイズが縮小していくと、Fig. 1 に示すように低周波ノイズの実測値は1/f 依存性から大きく外れていく。このことは酸化膜中のトラップ密度とエネルギー分布が、特に微細なデバイスにおいて不均一になるということを示している [5, 6, 7, 8]。つまり、空間的なトラップの密度分布がノイズ特性を決定している。

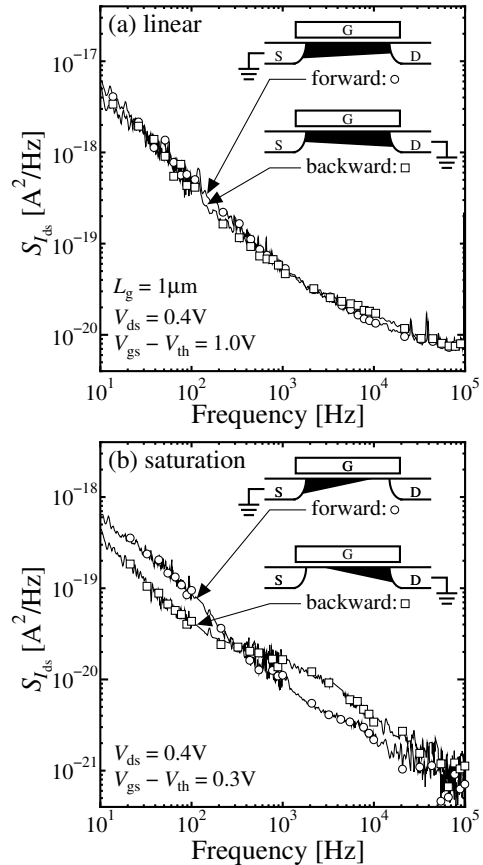


Fig. 2: Comparison of drain current noise spectrum density between forward measurement and backward measurement under (a) linear and (b) saturation condition for  $L_g = 1.0 \mu\text{m}$ . The insets show schematics of the inversion charge distribution in the forward and backward measurement.

Fig. 2a および 2b はそれぞれ線形および飽和領域における  $L_g = 1.0 \mu\text{m}$  のデバイスのノイズスペクトル実測値を示す。ソースおよびドレイン電極を入れ替えて測定した場合 (forward と backward) の実測値を比較して図に示す。それぞれの場合におけるチャネル内のキャリア濃度分布を模式的に挿入図に示す。線形領域においては、ソースおよびドレイン電極を入れ替えて測定した場合の違いがほとんどないことがわかる。一方、飽和領域においては両者にはっきりとした違いが見られる。しかし、入れ替えた両者において電流値に違いは見られない。このことから、Fig. 2a および 2b において実測値の違いはチャネル方向に沿ったトラップの密度とエネルギーの位置依存性に起因している

と考えられる。しかしそれはドレイン電流に関しては違いを出さない。

Lorentzian ノイズは以下のように記述される。

$$S_{I_{ds}} = \frac{A\tau}{1 + (2\pi f\tau)^2} \quad (1)$$

ここで、 $A$  は Lorentzian ノイズの大きさをトラップ密度から決定される。また、 $\tau$  はキャリアの発生-再結合過程の時定数で酸化膜における深さ方向のトラップ分布により決定される [2, 9]。式 (1) の計算結果を Fig. 3 に実測値と共に示す [10]。線形領域においてはキャリア濃度分布はチャンネル内においてほとんど一様である。そこで、Lorentzian ノイズを引き起こすチャンネルに沿った全てのトラップサイトが両者 (forward および backward 測定) においてノイズ特性に寄与していると言える。その結果、ノイズスペクトルの実測値にほとんど差は見られない。一方、飽和領域においてはピンチオフ状態が起こり、キャリア濃度分布がチャンネルに沿って不均一になる。

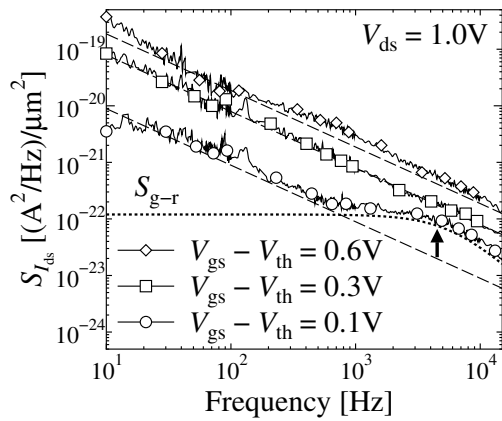


Fig. 3: Measured drain current noise power spectra  $S_{I_{ds}}$  versus frequency for various  $V_{gs} - V_{th}$  values. Three dashed lines represent ideal  $1/f$  spectra and the dotted line is the result fitted with Eq. (1).

Fig. 4a および 4b に  $L_g = 0.12\mu\text{m}$  の場合の Fig. 2a および 2b と同様の図を示す。飽和領域におけるノイズの forward と backward の差が大きくなっていることがわかる。その理由としてゲート長の減少と共にそれぞれの不均一なトラップサイトのノイズ特性への寄与が大きくなることが挙げられる。しかし、ドレイン電流の差は  $L_g = 1.0\mu\text{m}$  の場合と同様にほとんど見られない。

これまでの結果は非  $1/f$  スペクトルノイズが不均一なトラップ密度分布に由来していることを示している。つまり、ウェハー上の多数のチップに対してノイズスペクトルの平均を取れば、 $1/f$  特性を得られると考えられる [11]。Fig. 5 にウェハー上の異なるおよそ 30 チップにおいて測定した  $L_g = 0.46\mu\text{m}$  のデバイスのノイズスペクトル値を平均した結果を示す。平均したノイズスペクトルは図において太線で示したように  $1/f$  スペクトルとなる。このことから Lorentzian ノイズスペクトルを引き起こすトラップサイトはウェハー上においてランダムに分布していることがわかる。Fig. 6 に  $f = 100\text{Hz}$  におけるウェハー上のノイズスペクトルのヒストグラムを示す。ヒストグラムはおよ

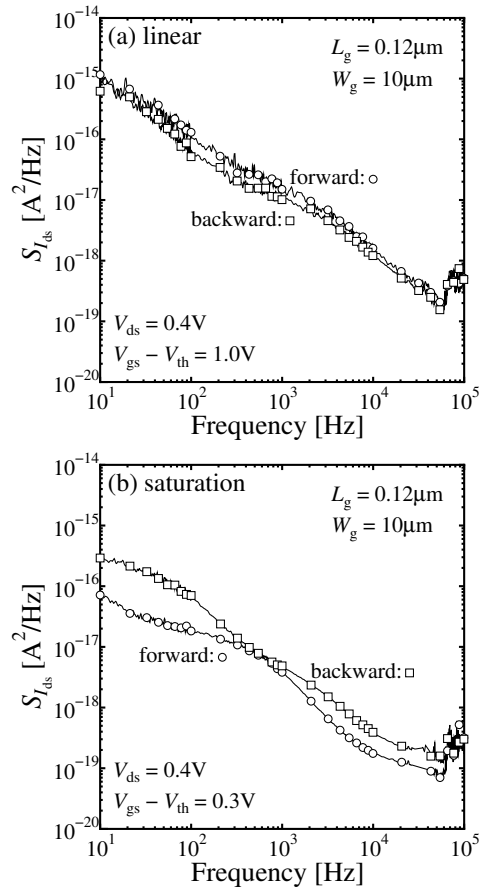


Fig. 4: Comparison of drain current noise spectrum density between forward measurement and backward measurement under (a) linear and (b) saturation condition for  $L_g = 0.12\mu\text{m}$ .

そ Gauss 分布を描いている。つまり、回路シミュレーションモデルとしては、この平均化された  $1/f$  ノイズ特性をベストおよびワーストケースと共に記述できれば良いということになる。

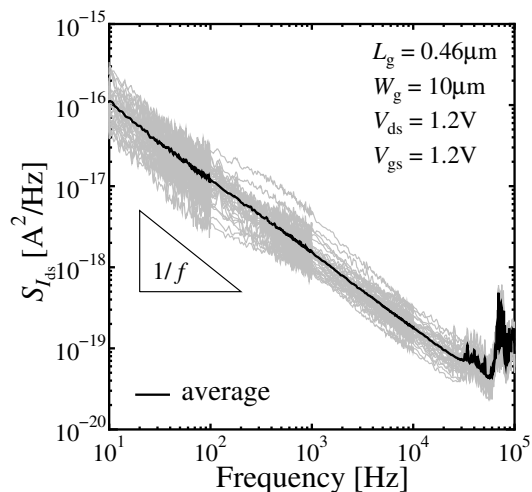


Fig. 5: Measured drain current noise spectra of about 30 devices with the same size under the same bias condition on a wafer. The fat curve represents an averaged noise spectrum.

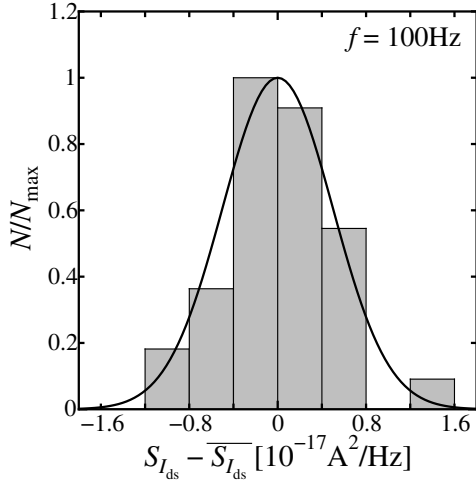


Fig. 6: Histogram of measured drain current noise spectra at 100Hz. The curve shows the normal distribution function.  $\bar{S}_{I_{ds}}$  is about  $1.0 \times 10^{-17} \text{A}^2/\text{Hz}$ .

### 3 ノイズモデル記述

一般的な MOSFET の  $1/f$  ノイズスペクトル密度 ( $S_{I_{ds}}$ ) の記述式は反転層電荷密度 ( $N(x)$ ) のチャネル方向 ( $x$ ) 積分項を含んでいる [2, 12].

$$S_{I_{ds}}(f) = \frac{I_{ds}^2 N_{\text{trap}} kT}{L^2 W q f} \int_0^L \left( \frac{1}{N(x) + N^*} \pm \alpha \mu \right)^2 dx \quad (2)$$

$$N^* = \frac{kT}{q^2} (C_{\text{ox}} + C_{\text{dep}} + C_{\text{it}}) \quad (3)$$

ここで  $k$  は Boltzmann 定数,  $T$  は格子温度,  $L$  はチャネル長,  $W$  はチャネル幅,  $q$  は素電荷量,  $\mu$  はキャリア移動度,  $C_{\text{ox}}$  はゲート酸化膜容量,  $C_{\text{dep}}$  は反転層容量である. モデルパラメータ  $N_{\text{trap}}$  ( $= N_t/\gamma$ ),  $\alpha$  および  $C_{\text{it}}$  はそれぞれトラップ密度 ( $N_t$ ) の酸化膜への減衰定数  $\gamma$  に対する比, 移動度揺らぎへの寄与指数, それから界面トラップキャリアによるキャパシタンスである. つまり正確な  $1/f$  ノイズモデルを開発するためには, ドレイン電流 ( $I_{ds}$ ) 自身だけでなく, チャネルに沿ったキャリア濃度  $N(x)$  の位置依存性が必要である. 本研究における  $1/f$  ノイズモデルはドリフト-拡散近似 [14] に基づいた回路シミュレーションモデル HiSIM [13] に組み込まれる. HiSIM はソース端およびドレイン端における表面ポテンシャルから決定されるそれぞれのキャリア濃度 ( $N_0$  および  $N_L$ ) を計算することができる. 飽和領域におけるピンチオフ点以降の領域では, キャリア濃度が無視できるほど小さいので, 式 (2) における積分は  $\phi_{s0}$  から  $\phi_{sL}$  までのみ行われる. それ故  $1/f$  ノイズスペクトルのモデルの記述は

$$S_{I_{ds}}(f) = \frac{I_{ds}^2 N_{\text{trap}} kT}{L^2 W q f} \int_{\phi_{s0}}^{\phi_{sL}} \left( \frac{1}{N(\phi) + N^*} \pm \alpha v \right)^2 d\phi \quad (4)$$

で表される. 式 (4) において, 式 (2) 右辺の括弧の中の第二項の移動度  $\mu$  が速度  $v$  に置き換えられている. 理由はチャネルに沿った電界の増加が移動度分布と共に考慮されるべきであるとかんがえられるからである. 積分を解析的に行うため, ある仮定を導入する. それは  $N(x)$  が  $N_0$  to  $N_L$  ま

で線形に減少するということである. このことは Fig. 7 に示すように 2 次元デバイスシミュレータ MEDICI[15] を用いた計算結果から証明される. シミュレーションにおいては測定した電流-電圧特性からインバースモデリングによって抽出された不純物濃度プロファイルを用いてある.  $N(x)$  の線形近似はどのバイアス条件でも問題なく当てはめられる.

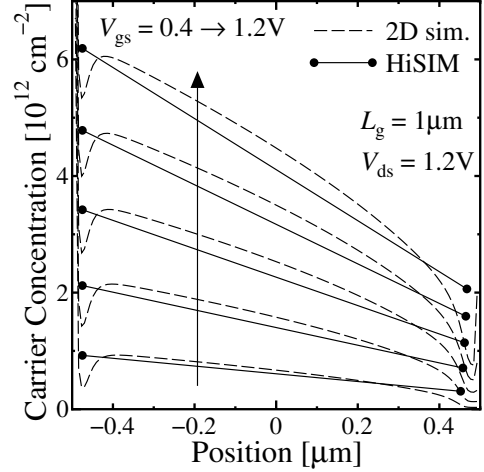


Fig. 7: The inversion-charge density at the source  $N_0$  and drain side or pinch-off point in saturation condition  $N_L$  calculated by HiSIM. The position dependence of  $N(x)$  calculated by two-dimensional device simulator is also depicted.

ピンチオフ点からドレイン端までの領域を無視する理由について解説する. ピンチオフ領域においてはキャリアはゲート電圧によるコントロールを失い, キャリア数は劇的に減少する. そして界面に対するキャリアの衝突が減少し, そのことによってトラップ/デトラップ過程の回数が減少する. Fig. 8 に Monte Carlo デバイスシミュレータ FALCON[16] によって計算された単位時間当たりの酸化膜界面に衝突する電子数をチャネルの位置の関数としてプロットしたものを示す [10]. FALCON はフルバンド構造を持ち, MOSFET において重要な全ての散乱機構を考慮している. このことからピンチオフ領域におけるノイズスペクトルはほとんど無視できる. つまり, 式 (2) における  $L$  は  $L - \Delta L$  (ここで  $\Delta L$  はピンチオフ領域の長さ [17]) に置き換えられる.

あらゆるバイアス条件において有効な最終的な  $1/f$  ノイズの解析式は以下のように表される.

$$S_{I_{ds}}(f) = \frac{I_{ds}^2 N_{\text{trap}} kT}{(L - \Delta L) W q f} \left\{ \frac{1}{(N_0 + N^*)(N_L + N^*)} + \frac{2\alpha v}{N_L - N_0} \log \left( \frac{N_L + N^*}{N_0 + N^*} \right) + (\alpha v)^2 \right\} \quad (5)$$

ここで  $N_{\text{trap}}$  はモデルパラメータであり,  $N_0$  と  $N_L$  は HiSIM によって計算される.

### 4 計算結果

Fig. 9 に  $L_g = 1.0, 0.46, 0.12 \mu\text{m}$  の n-MOSFET における異なる  $V_{ds}$  でのノイズスペクトル測定値の  $V_{gs}$  依存性 ( $f = 100\text{Hz}$ ) をシンボルで示す. 全ての測定点はウェハー

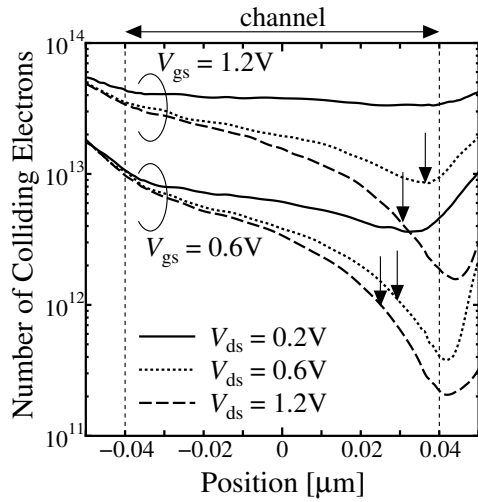


Fig. 8: Monte Carlo simulation result for number of electrons colliding with the oxide interface per unit time as a function of position along the channel for  $L_g = 0.12\mu\text{m}$ . The vertical arrows indicate pinch-off points.

上の30個のサンプルの平均値である。同じ図に本研究で導出したモデルによる計算結果を実線で示す。全てのチャンネル長におけるノイズ特性を1つのモデルパラメータセットで非常によく再現していることがわかる。Fig. 10は同様のn-MOSFETの $S_{I_{ds}}$ の測定値の $V_{ds}$ 依存性を異なる $V_{gs}$ に関して示す。3つのモデルパラメータ( $N_{\text{trap}}$ ,  $\alpha$ ,  $C_{\text{it}}$ )のうち、2つ( $\alpha$ および $C_{\text{it}}$ )は無視できるほど小さい値である。つまり $L_g$ に依存しない $N_{\text{trap}}$ のみが測定した $1/f$ ノイズ特性に影響している。

Fig. 9における点線は、下の式のように積分の代わりにチャンネル内で平均した $N(x)$ である $N_{\text{ave}}$ を用いて計算した結果を示す。

$$S_{I_{ds}}(f) = \frac{I_{ds}^2 N_{\text{trap}} kT}{(L - \Delta L) W q f} \left\{ \frac{1}{N_{\text{ave}} + N^*} + (\alpha v) \right\}^2 \quad (6)$$

$N_{\text{ave}}$ による計算結果は全てのゲート長で1つのモデルパラメータセットで $S_{I_{ds}}$ 特性のバイアス依存性を再現できていない。特に、 $V_{ds}$ が高いところのノイズが増大する部分は再現していない。つまり、キャリア濃度のチャンネル内位置依存性が $1/f$ ノイズ特性において重要な役割を果たしていることがわかる。 $1/f$ ノイズ特性の正確な予測のためには、 $I-V$ 特性の測定結果を性格にシミュレートすることが必要である。なぜなら $N_0$ および $N_L$ は $1/f$ ノイズの複雑なバイアス依存性の重要な要因となっているからである。このことを証明するため、Fig. 11においてドレイン電流ノイズの $V_{ds}$ 依存性(実線)およびドレイン電流の自乗の $V_{ds}$ 依存性(点線)を示した。 $1/f$ ノイズは概ね $I_{ds}^2$ の特性に支配されている。しかし、2者にははっきりとした違いが見られる。特に線形領域における $S_{I_{ds}}-V_{ds}$ 特性が $I_{ds}-V_{ds}$ 特性と異なっている。線形領域では $N_L$ の項は式(5)の中で無視できない。つまり、 $1/f$ ノイズのバイアス依存性は $I-V$ 特性だけではなく、 $N_0$ および $N_L$ のバイアス依存性にも起因している。

Fig. 12に測定した $S_{I_{ds}}$ を $I_{ds}^2$ で規格化した値( $f = 100\text{Hz}$ )のデバイス面積 $LW$ 依存性を示す。ここで $W_g$ は $10\mu\text{m}$ に

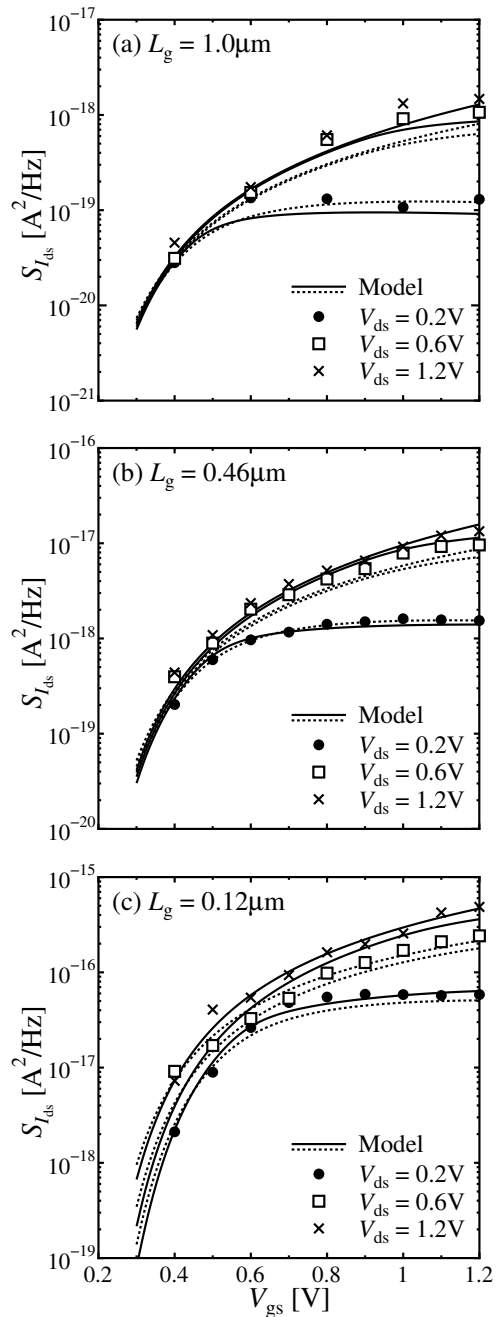


Fig. 9: Comparison of the  $V_{gs}$  dependence of the measured and simulated drain current noise by our model for (a)  $L_g = 1.0\mu\text{m}$ , (b)  $0.46\mu\text{m}$  and (c)  $0.12\mu\text{m}$  at frequency 100Hz. Model parameter values are the same for all  $L_g$  values. Dotted curves represent calculated results with  $N_{\text{ave}}$  instead of  $N_0$  and  $N_L$ .

固定してある。以前から確かめられている $1/LW$ の線形依存性は100nm-MOSFETにおいてもまだ保たれている。しかし、 $L_g = 0.14\mu\text{m}$ よりも小さいデバイスでは線形特性から外れている。この現象は小さい $L_g$ においてより顕著となる高電界効果に起因している。Fig. 9において示すように、本研究のモデルではそのような場合でも再現している。

## 5 まとめ

非 $1/f$ ノイズ特性がチャンネル内の不均一なトラップ密度分布によって引き起こされていることを示した。ウェハー

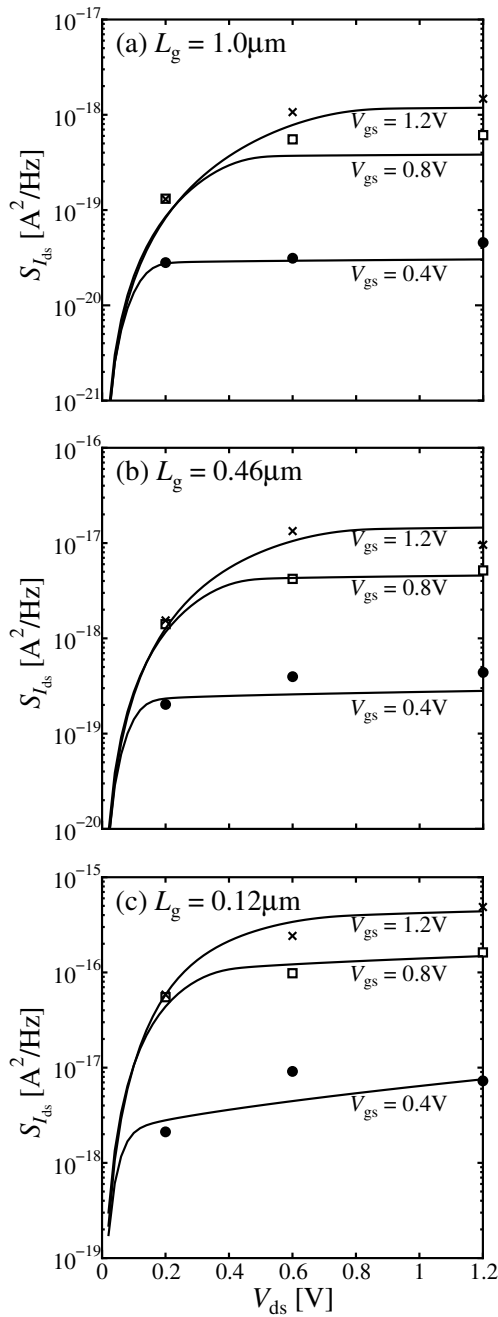


Fig. 10: Comparison of the  $V_{ds}$  dependence of the measured and simulated drain current noise by our model for (a)  $L_g = 1.0\mu\text{m}$ , (b)  $0.46\mu\text{m}$  and (c)  $0.12\mu\text{m}$  at frequency 100Hz.

上で平均したノイズスペクトルは  $1/f$  特性となり、モデリングに適していることがわかった。ドリフト-拡散近似に基づいた回路シミュレーションに対する新しい  $1/f$  ノイズのモデルを開発し、バイアスおよび  $L_g$  依存性を3つのモデルパラメータで平均化したノイズスペクトルを再現することができた。実際にはただ1つのモデルパラメータのみが  $1/f$  ノイズ特性の実測値の記述に必要であることがわかった。

#### 参考文献

- [1] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE J. Solid-State Circ.*,

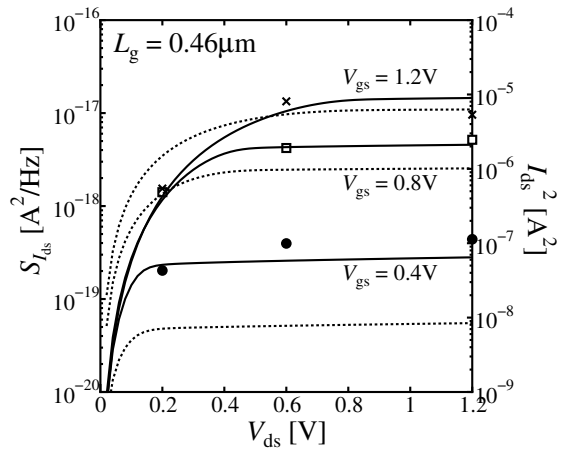


Fig. 11: Comparison of the  $V_{ds}$  dependence of the measured and simulated drain current noise (solid curves) and square of drain current (dotted curves).

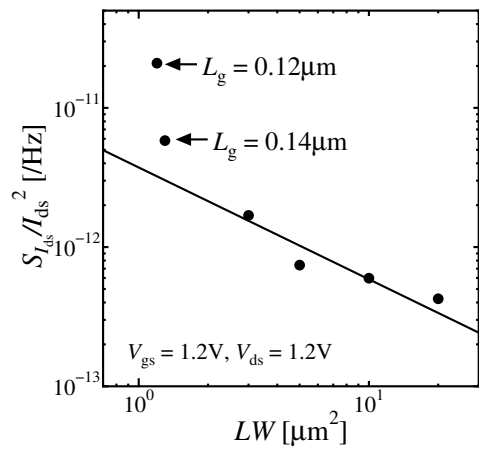


Fig. 12: Measured drain current noise power spectral density  $S_{I_{ds}}$  normalized by  $I_{ds}^2$  vs. gate area  $LW$ . The solid line is the  $1/LW$  linear relationship.

33, 179, 1998.

- [2] S. Christensson, I. Lundstrom, and C. Svensson, "Low frequency noise in MOS transistors — I: theory," *Solid-State Electron.*, **11**, 797, 1968.
- [3] F. N. Hooge, "1/f noise sources," *IEEE Trans. Electron Devices*, **41**, 1926, 1994.
- [4] M. Tsai and T. Ma, "The impact of device scaling on the current fluctuations in MOSFETs," *IEEE Trans. Electron Devices*, **41**, 2061, 1994.
- [5] M. J. Deen, M. E. Levinshtein, S. L. Rumyantsev, and J. Orchard-Webb, "Generation-recombination noise in MOSFETs," *Semicond. Sci. Technol.*, **14**, 298, 1999.
- [6] A. A. Balandin, *Noise and Fluctuations Control in Electronic Devices*, (American Scientific Publishers, California, 2002), p. 201.
- [7] A. Longoni, E. Gatti, and R. Sacco, "Trapping noise in semiconductor-device — A method for determining the noise spectrum as a function of the trap position," *J. Appl. Phys.*, **78**, 6283, 1995.

- [8] R. Brederlow, W. Weber, D. Schmitt-Landsiedel, and R. Thewes, "Fluctuations of the low frequency noise of MOS transistors and their modeling in analog and RF-circuits," *Tech. Dig. of IEDM*, p. 159, 1999.
- [9] C. Delseny, F. Pascal, S. Jarrix, G. Lecoy, J. Dangla, and C. Dubon-Chevallier, "Excess noise in AlGaAs/GaAs heterojunction bipolar-transistors and associated TLM test structures," *IEEE Trans. Electron Devices*, **41**, 2000, 1994.
- [10] H. Ueno, T. Kitamura, S. Matsumoto, T. Okagaki, M. Miura-Mattausch, H. Abe, and T. Hamasaki, "Evidence for an additional noise source modifying conventional  $1/f$  frequency dependence in sub- $\mu\text{m}$  metal-oxide-semiconductor field-effect transistor," *Appl. Phys. Lett.*, **78**, 380, 2001.
- [11] S. Matsumoto, H. Ueno, S. Hosokawa, M. Miura-Mattausch, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama, submitted for publication.
- [12] K. K. Hung, P. K. Ko, C. Hu and Y. C. Cheng, "A physics-based MOSFET noise model for circuit simulators," *IEEE Trans. Electron Devices*, **37**, 1323, 1990.
- [13] M. Miura-Mattausch, H. Ueno, H. J. Mattausch, K. Morikawa, S. Itoh, A. Kobayashi, and H. Masuda, "100nm-MOSFET Model for Circuit Simulation: Challenges and Solutions," *IEICE Trans. Electron.*, **E86-C**, 1009, 2003.  
*HiSIM1.2.0 User's Manual*, April 2003, <http://www.starc.or.jp/kaihatu/pdgr/hisim/index.html>
- [14] M. Miura-Mattausch, U. Feldmann, A. Rahm, M. Bollu, and D. Savignac, "Unified complete MOSFET model for analysis of digital and analog circuits," *IEEE Trans. CAD/ICAS*, **15**, 1, 1996.; M. Miura-Mattausch, H. Ueno, M. Tanaka, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama, "HiSIM: A MOSFET Model for Circuit Simulation Connecting Circuit Performance with Technology," *Tech. Dig. of IEDM*, p. 109, 2002.
- [15] *MEDICI User's Manual*, (Synopsys Co., 2002).
- [16] C. Jungemann, S. Yamaguchi, and H. Goto, "On the accuracy and efficiency of substrate current calculation for sub- $\mu\text{m}$  n-MOSFETs," *IEEE Electron Device Lett.*, **17**, 464, 1996.
- [17] D. Navarro, T. Mizoguchi, M. Suetake, S. Ooshiro, K. Hisamitsu, H. Ueno, M. Miura-Mattausch, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama, "Modeling of the pinch-off condition in 100nm-MOSFETs for circuit simulation based on the surface-potential description," submitted for publication.

## 6 これまでの研究論文, 特許等 原著論文

1. M. Tanaka, H. Ueno, O. Matsushima, and M. Miura-Mattausch, "High-Electric-Field Electron Transport at Silicon/Silicon-Dioxide Interface Inversion Layer," *Jpn. J. of Appl. Phys.*, **42**, pp. L280–L282, (2003).
2. N. Nakayama, H. Ueno, T. Inoue, T. Isa, M. Tanaka, and M. Miura-Mattausch, "A Self-Consistent Non-Quasi-Static MOSFET Model for Circuit Simulation Based on Transient Carrier Response," *Jpn. J. of Appl. Phys.*, **42**, pp. 2132–2136, (2003).
3. M. Miura-Mattausch, H. Ueno, H. J. Mattausch, K. Morikawa, S. Itoh, A. Kobayashi, and H. Masuda, "100nm-MOSFET Model for Circuit Simulation: Challenges and Solutions (Invited)," *IEICE Transactions on Electronics*, **E86-C**, pp. 1009–1021, (2003).
4. N. Nakayama, D. Navarro, M. Tanaka, H. Ueno, M. Miura-Mattausch, H. J. Mattausch, T. Ohguro, S. Kumashiro, M. Taguchi, T. Kage, and S. Miyamoto, "A Non-Quasi-Static Model for MOSFET Based on Carrier-Transit Delay," *IEE Electronics Letters*, *in print*.
5. S. Hosokawa, D. Navarro, H. Ueno, M. Miura-Mattausch, H. J. Mattausch, T. Ohguro, S. Kumashiro, M. Taguchi, T. Kage, and S. Miyamoto, "Universal Thermal-Drain-Noise Prediction from Threshold Voltage," *IEEE Electron Device Letters*, *in print*.

## 国際学会プロシーディングス等

1. T. Mizoguchi, H. J. Mattausch, H. Ueno, D. Kitamaru, K. Hisamitsu, M. Miura-Mattausch, S. Itoh, and K. Morikawa, "Extraction of Inter- and Intra-Chip Device-Parameter Variations with a Differential-Amplifier-Stage Test Circuit," Workshop on Synthesis and System Integration of Mixed Information Technologies, (2003).
2. O. Matsushima, M. Tanaka, H. Ueno, K. Hara, K. Konno, and M. Miura-Mattausch, "Carrier Transport in Highly Generated Carrier Concentration," 13th International Conference on Nonequilibrium Carrier Dynamics in Semiconductors, (2003).
3. S. Hosokawa, Y. Shiraga, H. Ueno, M. Miura-Mattausch, H. J. Mattausch, T. Ohguro, S. Kumashiro, M. Taguchi, H. Masuda, and S. Miyamoto, "Investigation of Enhanced Thermal Noise for 100nm-MOSFETs," International Conference on Solid State Devices and Materials, (2003).