

# シングルメタルデュアルゲート CMOS のための仕事関数変調技術

研究代表者 芝原 健太郎 (ナノデバイス・システム研究センター 助教授、先端研半導体集積科学専攻)  
分担者 佐野 孝輔 (先端研量子物質科学専攻 M1)、日野真毅 (先端研量子物質科学専攻 M2)

## 1. 研究目的

シングルメタルによるデュアルワークファンクション技術がゲート空乏化の問題を抱えるデュアルポリシリコンを置き換えると期待されている。我々の研究のターゲットは CMOS 製造プロセスへの適合性を失うことなく、適応の可能な自由度の高い仕事関数変調法を見つけることである。

## 2. これまでの研究成果概要

元々の Mo の仕事関数変調法には窒素注入 [1] が用いられていた。しかし、この方法は界面や酸化膜へのダメージを伴う。この問題を避けるために、Mo 上に堆積した TiN から窒素を拡散させる方法で MOSFET を製作した。MOSFET のしきい値電圧のシフトは、MOSFET ダイオードの  $V_{FB}$  シフトから予測された 0.45V よりも小さな 0.1V であった (図 1)。この原因を探るために窒素の深さ方向分布を調べた (図 2)。Mo/SiO<sub>2</sub> 界面の窒素のパイルアップに着目すると、ダイオードのプロセスにソース・ドレイン活性化アニール工程を加えると、つまり FET の製造工程では、それが減少することがわかる。アニールによって Mo 膜中の窒素濃度も低下している。この結果は、Mo 膜を通じた窒素の外方拡散によるパイルアップの減少が、仕事関数の可逆的な振る舞いの原因であることを示している。MOSFET の製造工程のソース・ドレイン活性化アニールの際には Mo ゲートは CVD SiO<sub>2</sub> で覆われている。図 3 に Mo/ゲート SiO<sub>2</sub> 界面に位置していた窒素が他の CVD SiO<sub>2</sub> 界面に再分布の様子を示す。この結果に基づき、窒素拡散工程がソース・ドレイン活性化アニールを兼ねるように、この工程まで TiN/Mo の積層構造を維持するプロセスに変更を行った。この結果、しきい値電圧シフトは図 4 のように改善された。しかし、図 4 において工程変更を行ったデバイスはゲート長の変化に対してしきい値電圧が特異な変化を見せている。短チャネルデバイスにおけるしきい値電圧の上昇は、Mo の下方界面における窒素量の減少によるものと推定される。

ゲート端付近では、TiN から供給された窒素の一部は下方界面に向かい、残りは Mo 側面の界面に向かう。故に、ゲート端部の窒素濃度は中央部より低いと考えられる。この結果、短チャネルデバイスは小さな仕事関数としきい値電圧のシフトとを見せることになる。

Mo 以外の材料の評価も行っている。ポリシリコンゲートを全て Ni シリサイド化したいわゆる Ni フル

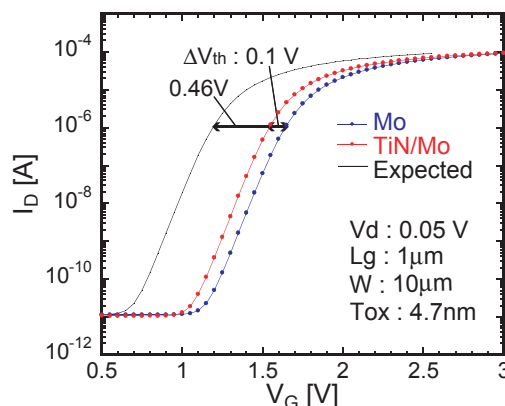


Fig. 1  $I_D$ - $V_G$  characteristics of TiN/Mo and Mo gate MOSFETs.  $V_{th}$  shift due to workfunction change is smaller than the value expected from VFB obtained with MOS diodes.

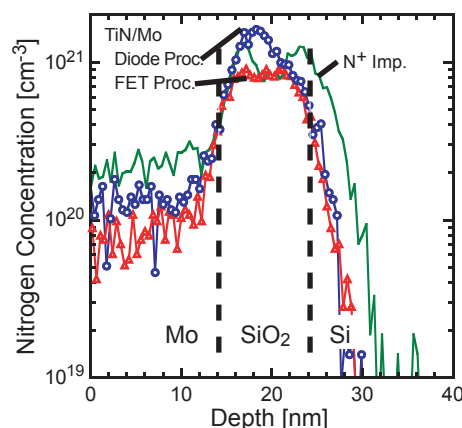


Fig. 2 Nitrogen depth profiles obtained by back-side SIMS technique. Nitrogen pileup formed at the Mo/SiO<sub>2</sub> interface reduces by the FET-like process that includes an RTA step after TiN stripping for S/D activation.

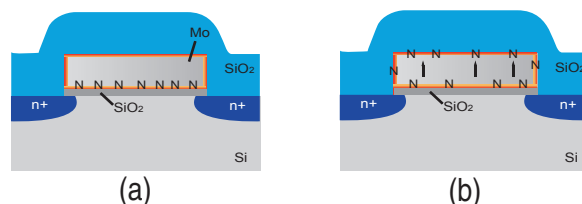


Fig. 3 Nitrogen re-distribution during Mo-gate MOSFET fabrication. (a) before and (b) after S/D activation annealing.

シリサイドゲートの仕事関数シフトに関する報告 [2, 3] がある。シリサイド化前にポリシリコンに注入された不純物は、雪掻き現象によって酸化膜界面側へ掃き出される。その結果、フルシリサイド化によって、図 5 のように NiSi/SiO<sub>2</sub> 界面に不純物パイルアップが形成される。我々は、Sb を用いてシリサイド化条件によって仕事関数シフトやパイルアップ形成がどのような影響を受けるかを調べた。図 6 の Sb の深さ方向プロファイルより、より低い温度でシリサイド化を行うと Sb のパイルアップが増大することがわかる。シリサイド化温度を下げるとシリサイド化速度が低下する。雪掻き現象がシリサイド化速度を下げることによって促進されたものと考えられる。V<sub>FB</sub> シフトが Sb パイルアップ量によって変わることは MOS ダイオードを用いて確認している。

### 3. まとめと今後の予定

金属/SiO<sub>2</sub> 界面への不純物パイルアップを利用して仕事関数変調を行う手法を研究した。Mo 中への窒素添加の場合、MOS ダイオードで見られる仕事関数シフトを MOSFET に反映するためには、製造プロセスの工夫が必要であった。改良プロセスで製作したデバイスで見られた特異な逆短チャネル効果を抑制するために、さらなるプロセスの改良を現在行っている。Sb を添加した NiSi ゲートでは、シリサイド化速度と雪掻き現象に影響するシリサイド化温度が仕事関数シフトを得る鍵であった。この結果を踏まえて、より仕事関数変調技術に適したシリサイド化材料の検討を行う。

### 参考文献

- [1] P. Ranade et al., Mat. Res. Soc. Proc. 670, K5.2.1(2001).
- [2] W.P. Maszara et al., IEDM 2002. Tech. Dig. p. 367.
- [3] J. Kedzierski et al., IEDM 2003. Tech. Dig. p. 315.

### 4. これまでの研究発表

1. T. Amada, N. Maeda, and K. Shibahara, "Degradation in a Molybdenum-Gate MOS Structure Caused by N<sup>+</sup> Ion Implantation for Work Function Control", Mat. Res. Soc. Symp. Proc. Vol. 716, pp. 299-314, 2002.
2. M. Hino, T. Amada, N. Maeda, and K. Shibahara, "Influence of Nitrogen Profile on Metal Workfunction in Mo/SiO<sub>2</sub>/Si MOS Structure", Ext. Asbst. Int. Conf. on Solid State Devices and Materials (SSDM'03), pp. 494-495, 2003.
3. K., M. Hino, N. Ooishi, and K. Shibahara, "Workfunction Tuning Using Various Impurities for Fully Silicided NiSi Gate", submitted to 2004 Int. Conf. on Solid State Devices and Materials (SSDM'04),

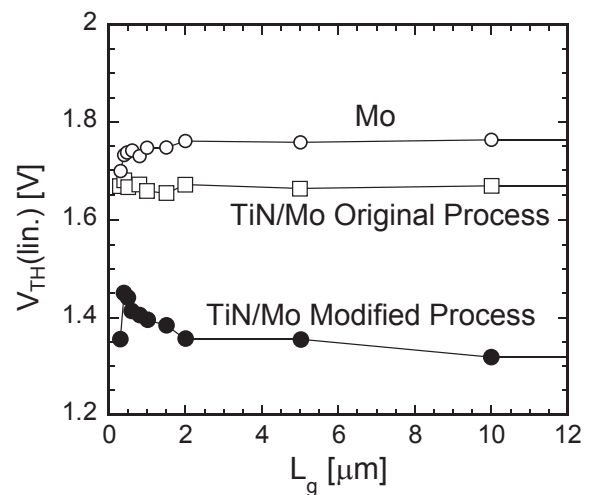


Fig. 4 Relationship between V<sub>th</sub> and L<sub>g</sub> for Mo gate MOS-FETs. V<sub>th</sub> was shifted by workfunction shift realized by Nitrogen incorporation into Mo gate.

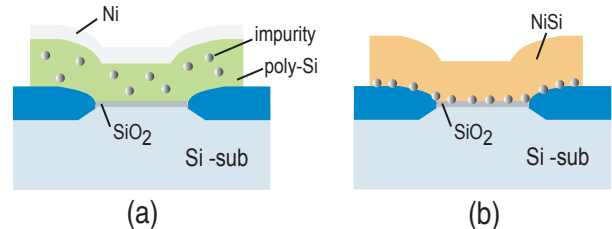


Fig. 5 Pileup formation during NiSi full-silicidation by snowplow effect. (a) before and (b) after full silicidation

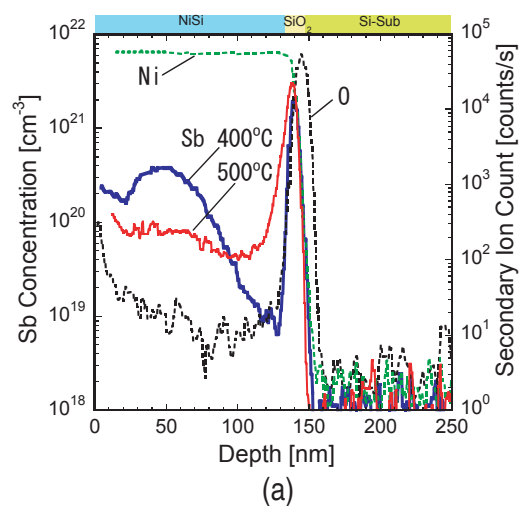


Fig. 6 (a) Sb depth profiles in NiSi-MOS structure obtained with back-side SIMS technique (a) and its closeup around the MOS interfaces. The snowplow effect and pileup formation is promoted by lowering silicidation temperature.

# 極浅接合の形成と評価

研究代表者 芝原 健太郎 (ナノデバイス・システム研究センター 助教授、先端研半導体集積科学専攻)

分担者 江藤 隆則 (先端研量子物質科学専攻 M1)、滝井 英介 (工学部電子システム課程 B4)

## 1. 研究目的

ソース・ドレイン接合はMOSFETのスケールアップの進展に伴いより浅く改良されてきた。現在の先端デバイスでは接合深さは20nm以下が必用となっている。我々の主要な研究の目的は、サブ10nmの接合形成技術と精度の高い評価技術の開発である。

## 2. これまでの研究成果概要

短時間アニールは浅く且つ低抵抗の接合を形成する鍵である。我々は波長248nmのKrFエキシマレーザを用いたアニールで10nmの接合形成に成功した。図1に深さ9.5nmの接合のBの深さ方向プロファイルを示す。半幅幅38nsという短パルスレーザを用いたことでアニール中の拡散は0.2nm以下にできた。接合の有用性の議論では接合深さだけでなく、シート抵抗にも着目せねばならない。たとえ接合が充分浅くても、抵抗が高ければMOSFETの性能を低下させることになる。450°C以上の基板加熱の導入で、シート抵抗を1kΩ/sq.以下に低減できることがわかった。図1はp<sup>+</sup>/n接合形成の例であるが、AsやSbを用いて深さ10nm以下のn<sup>+</sup>/p接合も形成できている。この基板加熱を用いるヒートアシスト法は残留欠陥現象にも有効である。図2にアニール後の断面TEM写真を示す。ヒートアシストを用いない場合、図2(a)のような残留欠陥が見られる。ヒートアシスト温度を上げると、図2(a)と(b)に示すように欠陥密度は低下する。欠陥の低減は、チャネリングによる分布の裾広がりを防ぐのに有効な、Ge注入によるプレアモルファス化によって、図2(c)と(d)のように、さらに促進される。さらに浅い接合を形成するためにはアニール前のドーパント分布をより浅くする必要がある。これは通常イオン注入のエネルギーを低下させることで達成される。しかし、サブkeVの領域では、図3に示すように、接合深さの低減はエネルギーの低減に対して飽和傾向を示すことがわかった。この傾向の生ずる原因はまだよくわかっていない。

KrFエキシマレーザの他に、波長532nmの全固体グリーンレーザを用いたアニールの研究を進めている。全固体レーザは装置サイズやメンテナンスの容易さの点で優れており、より量産化に適している。しかし、グリーンレーザ光の侵入深さはデバイスの寸法よりはるかに深い約1μmある。これは不要な深部の加熱にエネルギーが無駄に消費される

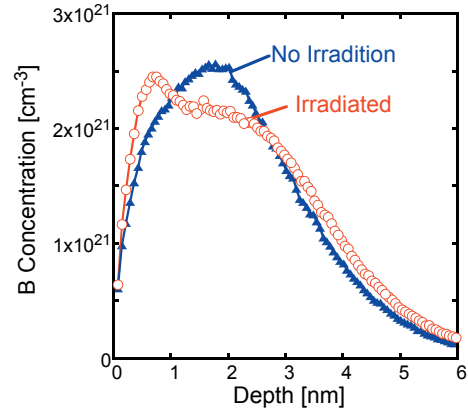


Fig. 1 B depth profiles for (a) before and (b) heat assisted laser annealing.

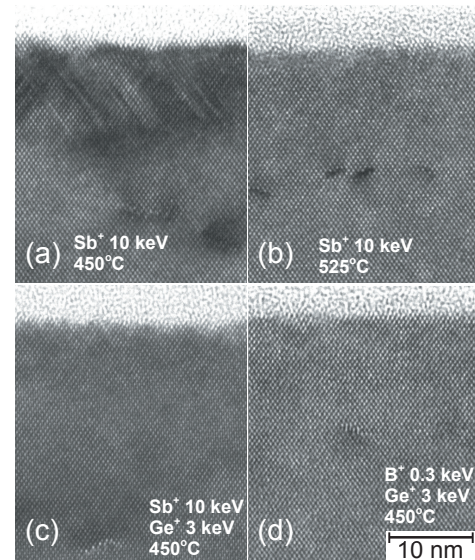


Fig. 2 XTEM photographs to evaluate residual defects after heat-assisted laser annealing. Stacking faults seen in (a) are reduced by increasing heat-assist temperature or using Ge pre-amorphization.

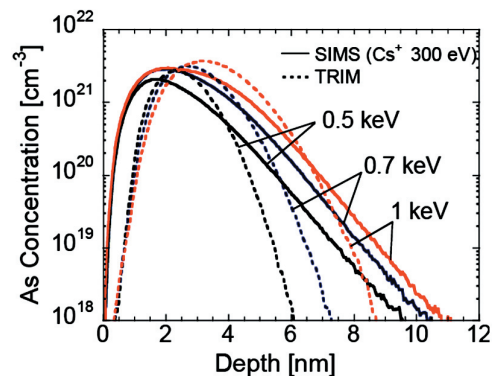


Fig. 3 As implanted As profiles for sub-keV ion implantation.



ことを意味し、大出力のレーザ装置を必用とする結果を意味する。このような点を考慮して、吸収膜を用いた全固体レーザアニールを検討した。シリコン上に2nmのスクリーン酸化膜を形成した後、TiNあるいはMoを堆積した。図4のレーザ照射エネルギー密度とシート抵抗の関係より、TiN光吸収膜によって活性化に必用な照射エネルギー密度が低減できることがわかる。これと反対にMoではより高い照射エネルギー密度が必用であった。この結果はTiNとMoの光学的性質により説明可能である。接合深さは基本的にアモルファス化層の厚さを反映していた。しかし、光吸収膜を用いたアニールでは図5のような結晶シリコンに至る過熔融を起こし易い。これは、シリコン表面の熔融による反射率増大による負帰還効果が表面をメタルで覆ったために起こらなくなったためと考えられる。

### 3. まとめと今後の予定

低抵抗極浅接合をヒートアシストKrFエキシマレーザアニールを用いて形成した。この手法は残留欠陥の低減にも有効であった。また、グリーンレーザを用いたアニールの研究もスタートさせた。ヒートアシスト法の考えを取り込んでグリーンレーザアニール技術を改善していく予定である。

### 4. これまでの研究発表

1. K. Shibahara, "Ultra-Shallow Junction Formation with Antimony Implantation", IEICE Trans. Electron., Vol. E.85-C, pp. 1091-1097, 2002 (Invited).
2. A. Matsuno, K. Kagawa and Y. Niwatsukino, T. Nire, and K. Shibahara, "Pulse Duration Effects on Laser Anneal Shallow Junction", Proc. of the 2nd Int. Semiconductor Tech. Conf. (ISTC2002), Vol.2002-17, pp. 148-156, 2002.
3. K. Kagawa, Y. Niwatsukino, M. Matsuno, and K. Shibahara, "Influence of pulse duration on KrF excimer laser annealing process for ultra shallow junction formation", Int. Workshop on Junction Tech. (IWJT'02), pp. 31-34, 2002.
4. K. Kurobe, Y. Ishikawa, K. Kagawa, Y. Niwatsukino, A. Matsuno, and K. Shibahara, "Formation of Low-resistive Ultra-shallow n<sup>+</sup>/p Junction by Heat-assisted Excimer Laser Annealing", Int. Workshop on Junction Tech. (IWJT'02), pp. 35-36, 2002.
5. K. Kurobe, Y. Ishikawa, K. Kagawa, Y. Niwatsukino, A. Matsuno, and K. Shibahara, "Defect density reduction and sheet resistance improvement by multi-pulse KrF-excimer-laser annealing", Extend. Abst. Fabrication, Characterization, and Modeling of Ultra-Shallow Doping Profiles in Semiconductors (USJ 2003), pp. 98-103, 2003.
6. K. Shibahara, K. Kurobe, Y. Ishikawa, K. Kagawa, Y.

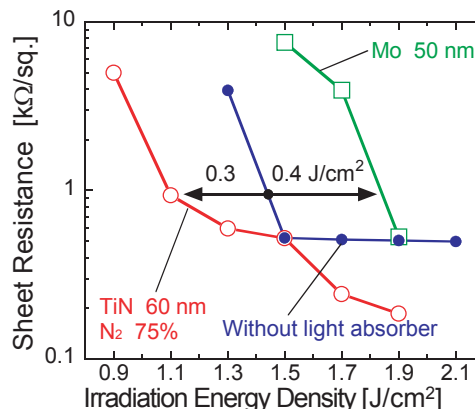


Fig. 4 Relationships between sheet resistance and laser energy density. TiN film deposited on Si as a green-laser-light absorber reduces the laser energy density necessary for dopant activation.

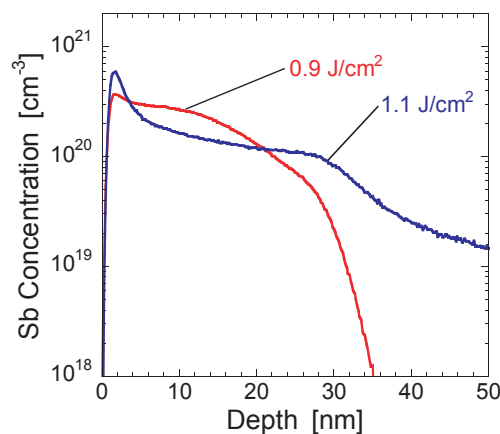


Fig. 5 Sb depth profiles after the green laser annealing with the TiN light absorber. The depth profiles for 1.1 J/cm<sup>2</sup> shows overmelt that makes the junction much deeper.

7. Y. Niwatsukino, and A. Matsuno, "KrF Excimer Laser Annealing For Ultra Shallow Junction Formation: Approach For Irradiation Energy Density Reduction", Extend. Abst. 11th Int. Conf. on Adv. Thermal Processing of Semiconductors (RTP 2003), pp. 13-16, 2003 (Invited).
8. E. Takii, T. Eto, K. Kurobe, and K. Shibahara, "Merits and Demerits of light absorber for Ultra shallow junction formation by green laser annealing", to be presented at Int. Conf. on Ion Implantation Technology (IIT2004).
9. T. Eto, and K. Shibahara, "Precise Depth Profiling of Sub-keV Implanted Arsenic", submitted to 2003 Int. Conf. on Solid State Devices and Materials (SSDM'03).