

新構造三次元 MOS トランジスタの開発

奥山 清 (COE 研究員),
 子林 景 (先端研量子物質科学専攻 M1),
 松村 俊平 (工学部第二类電子システム課程 B4),
 角南 英夫 (ナノデバイス・システム研究センター教授, 先端研半導体集積科学専攻)

1. 背景

現在、従来のバルクデバイスでは微細化に伴う短チャネル効果の抑制及び高集積化が困難になりつつある。この問題に対する取り組みの一つとして、トランジスタ構造を立体化する試みがなされている[1]。微細加工に関してはゲート長 10 nm の FinFET の報告例[2]も見られるが、今後は微細加工のみならず構造の特徴を生かした新デバイスや新しい動作モードの研究が重要になると考えられる。この背景を踏まえ、本研究では新構造立体トランジスタの提案を行なっている。

2. 提案デバイス及び作製プロセス上の課題

提案デバイスの構造を Fig. 1 に示す。この新構造により、基板部分となる一つの Si パターン (Si ビーム) 上において三つのトランジスタを独立動作させることが可能となる。このデバイスの適用例として 3 入力 NAND ゲートに見られるような論理回路の並列接続部分が挙げられる。この構造ではトランジスタを立体的に集積するため、面積効率の観点からも利点があると考えられる。

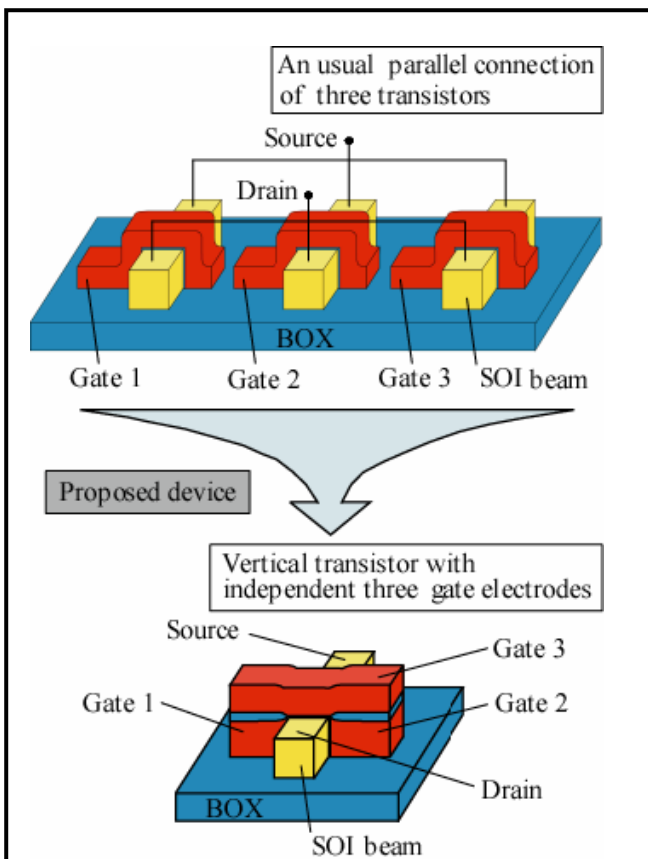


Fig. 1 A usual parallel connection of three transistors and the structure of the proposed device.

提案デバイスを正常に動作させる構造を得るには、独立した 3 つのゲート電極を自己整合的に形成する必要がある。このため二種類の作製プロセスを考案した。この内一つの試作工程を Fig. 2 に示す。このプロセスにおいて重要となるのは Si ビーム形成さらにその上にゲート電極を形成する高アスペクト比加工技術及び上部ゲートを形成するために必要とされる各種材料の平坦化技術である。

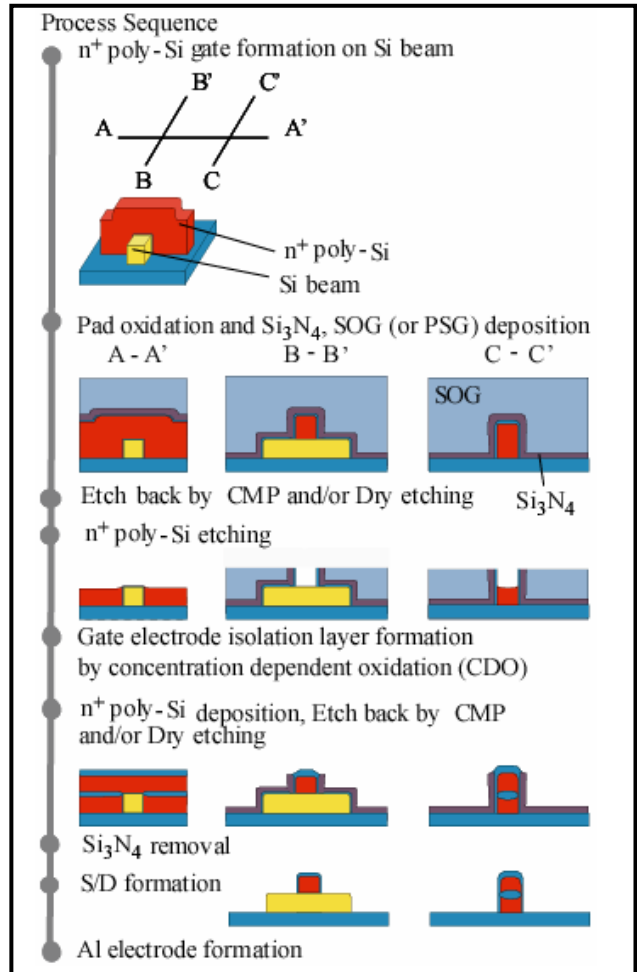


Fig. 2 A process sequence of the proposed device.

3. これまでの研究概要及び結果

3.1 高アスペクト比加工

この試作工程においては初期に Si ビーム上に形成される多結晶 Si パターン形状が最終的なゲート形状を決定するため、その加工技術が重要である。これまでの研究において、Fig. 3 に示すように幅

60nm, 高さ 120 nm ビーム上に最小幅 100 nm の良好な多結晶シリコンパターンの形成に成功している。この他、分離された上面ゲート形成において重要となる不純物濃度依存酸化 (concentration dependent oxidation : [3]) については n^+ 多結晶シリコンの酸化膜厚が p 型 (100) 基板に対して約 14 倍となる事を確認し、提案デバイスの作製プロセスに適用可能であると結論付けている (Fig. 4)。

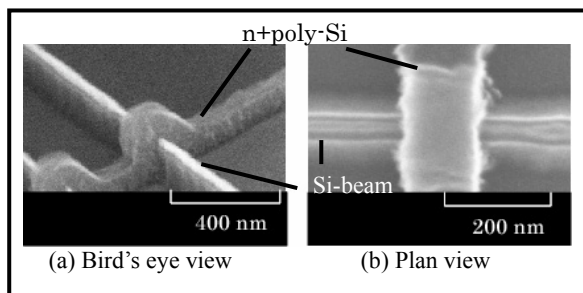


Fig. 3 SEM photographs of a Si-beam of 120 nm in height and 60 nm in width and a poly-Si gate electrode overlaying the beam.

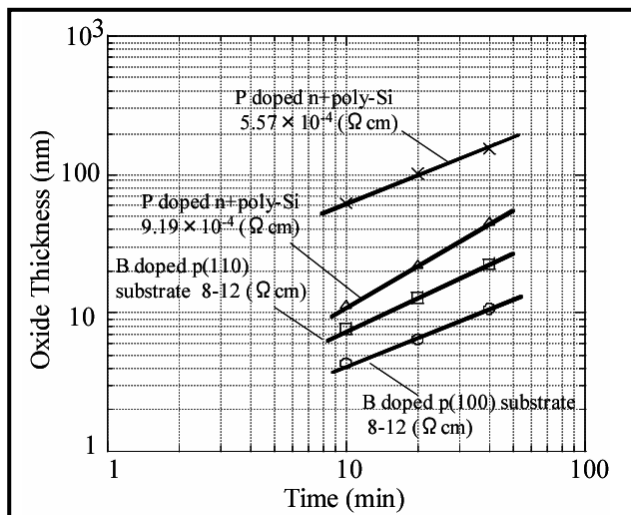


Fig. 4 Concentration dependent oxidation (CDO) at 750°C ($O_2=2$ slm, 90°C H_2O bubbling.).

2.2 平坦化

平坦化プロセスに関してはドライエッチング, CMP の検討を行っている。まず RIE による平坦化実験を行なった。今回は平坦化材料として SOG を用いた。このプロセスでは 4 種の材料 (SOG, Si_3N_4 , SiO_2 , n^+ 多結晶 Si) をエッチングする必要があるため、まず RIE における各材料の選択性を調べた (Fig. 5)。これに基づき 2 条件 ($H_2=0, 4$ sccm) にてエッチングを行なった。その結果、ゲート上部が平坦化される前に SOG, Si_3N_4 がエッチングされる、あるいはゲート上部の SOG, Si_3N_4 のエッチングに成功した場合においても n^+ 多結晶 Si 表面に荒れが見られた (Fig. 6)。

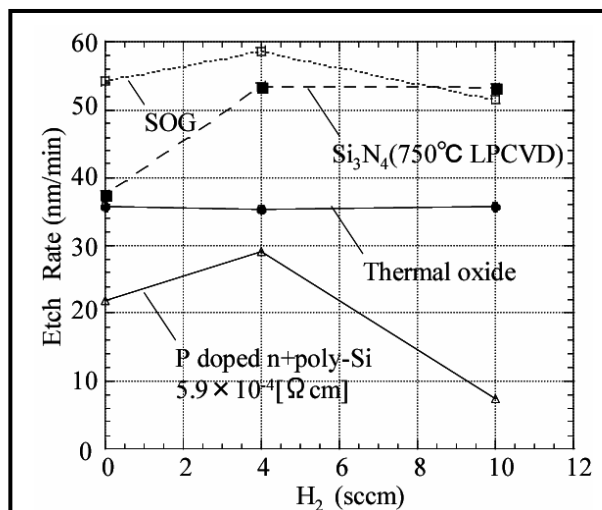


Fig. 5 Etching characteristics of RIE ($CF_4 = 20$ sccm, etching pressure = 30 mTorr, self bias = -410 V).

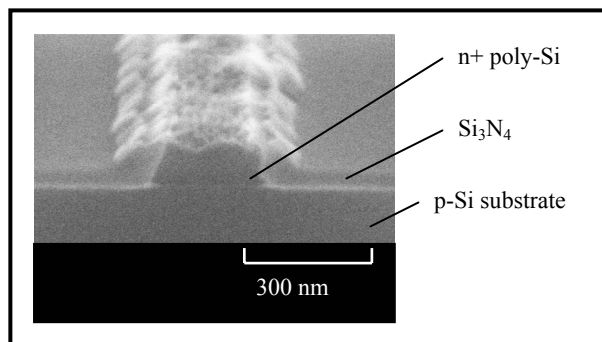


Fig. 6 SEM photograph of an n^+ poly-Si electrode after RIE etch-back.

4. まとめ及び今後の課題

本研究では新構造三次元トランジスタの提案を行なっている。作製プロセスの内、高アスペクト比加工に関しては Si ビーム及びその上へのゲート電極を良好な形状で形成する事に成功した。また、分離上面ゲート形成において重要となる不純物濃度依存酸化については提案デバイスの作製プロセスに適用可能である事を確認した。平坦化プロセスについてはドライエッチングにより検証を行なったが、エッチング面の表面状態及び各材料の選択比に適切な組み合わせが得られず、使用を断念せざるを得ないと判断した。この結果より、今後は平坦化プロセスとして CMP 技術の導入を行ない、提案デバイスの試作を行う予定である。

5. 参考文献

- [1] Y-K. Cho, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Andersen, T.J. King, J. Bokor, and C. Hu, *IEDM Tech. Dig.*, pp. 421-424, 2001.
- [2] Bin Yu, Leland Chang et al, *IEDM Tech. Dig.*, pp. 251-254, 2002.
- [3] H. Sunami, *J. Electrochem. Soc.*, **125**, pp. 892-897, 1978.