

## 低抵抗電極/高誘電率絶縁膜積層構造とデバイス応用

村上 秀樹 (先端研半導体集積科学専攻 助手),  
 森脇 嘉一 (先端研半導体集積科学専攻 M2), 藤竹 正仁 (先端研半導体集積科学専攻 M1),  
 東 大介 (工学部 B4), 東 清一郎 (先端研半導体集積科学専攻 助教授),  
 宮崎 誠一 (先端研半導体集積科学専攻 教授)

### 研究目的

MOSFET の極微細化において、(1)ゲートリーク電流の低減と(2)ゲート容量の増加が最重要課題となっている。(1)については、ゲート絶縁膜の物理的膜厚の増大が不可欠であり、(2)との必然性から高誘電率ゲート絶縁膜の実用化が強く求められている。また、poly-Si ゲートの場合は、(2)に関して、ゲート空乏化[1]の顕在化や poly-Si ゲート中へ不純物再分布による高抵抗化[2]が問題となっている。これらの問題は、メタルゲートを採用することで解消することができるが、現有のプロセスに対する整合性、仕事関数制御の観点からは、早期実用化は容易ではない。

そこで、Poly-Si ゲート電極の問題点を軽減できるゲート電極材料として、Poly-SiGe ゲート電極が注目されている。実際に、ゲート電極中不純物の熱的安定性向上やボロンの固溶限増大により、特に pMOS においてはゲート空乏化が低減し[3-5]、Ge 濃度を変えることで仕事関数の制御ができるため[6-7]短チャネル効果抑止に有効であることが報告されている。Poly-SiGe ゲート電極の導入に際し、Poly-SiGe ゲート電極中の Ge が熱処理時にゲート絶縁膜中に拡散し、信頼性劣化の要因となることが懸念されることから、Poly-SiGe 堆積直前に Si バッファ層の堆積が行われている。しかし、この Ge プロファイルの制御についての詳しい報告例はほとんどない。そこで本研究では、poly-Si/poly-SiGe/poly-Si スタック構造(図 1)において Ge 拡散・再分布の定量評価を行った。更に、MIS キャパシタを形成し、Ge 再分布が容量-電圧特性および電流-電圧特性に及ぼす影響を評価することで、Poly-SiGe ゲート電極中の Ge の高精度なプロファイル制御への指針を得ることを目的とした。

### これまでの研究成果の概要

poly-Si/poly-SiGe/poly-Si スタック構造において、ラマン散乱分光、SIMS、TEM-EDX を用いて、Ge 拡散・再分布の定量評価を行った。更に、MIS キャパシタを形成し、Ge 再分布が容量-電圧特性および電流-電圧特性に及ぼす影響の評価を行った。

### 研究方法

n 型及び p 型 Si(100)基板(比抵抗 8~12 Ω cm)を RCA 洗浄後、1000°C の熱酸化により厚さ 4nm の

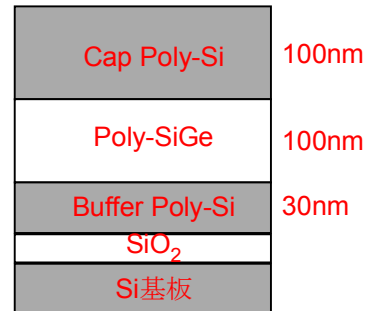


Fig1. Cap Poly-Si/Poly-SiGe/Buffer Poly-Si stacked structure.

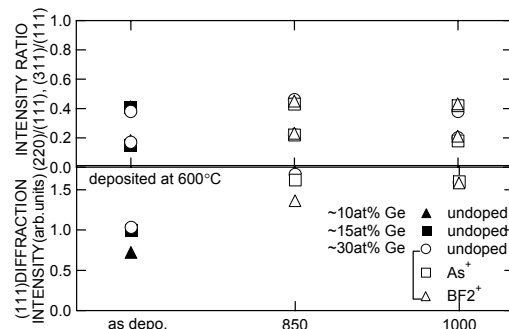


Fig. 2 The (111) peak intensity measured by XRD and the intensity ratio of (220) and (311) peaks to the (111) peak for as-deposited poly-Si<sub>1-x</sub>Ge<sub>x</sub>(100nm, x=0.1, 0.15 and 0.3)/SiO<sub>2</sub>(2nm)/Si(100) formed by LPCVD at 600°C and annealed samples of x=0.3 after As<sup>+</sup> or BF<sub>2</sub><sup>+</sup> implantation. The annealing time was 30min.

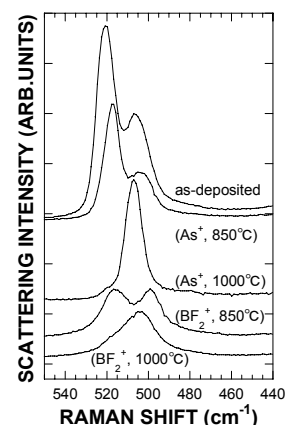


Fig. 3 Raman scattering spectra of as-deposited and N<sub>2</sub> annealed samples of poly-Si/SiGe/Si/SiO<sub>2</sub> stacked structures. The Ge concentration in the poly-SiGe layer before ion implantation was 30 at.%.

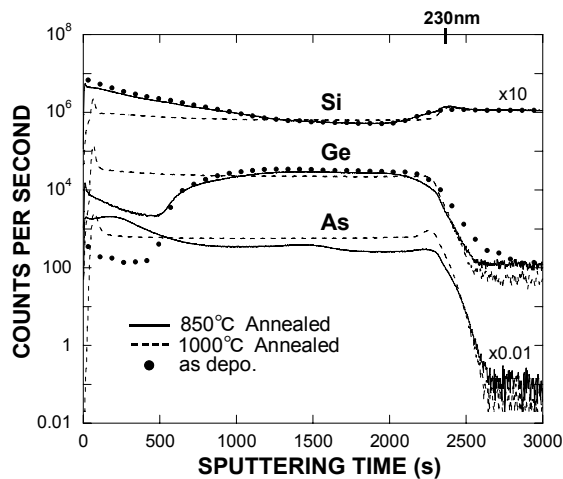


Fig. 4 : SIMS profiles for the as-deposited and N<sub>2</sub>-annealed samples after As<sup>+</sup>-implantation shown in Fig. 2, which were measured by using Cs<sup>+</sup> ions.

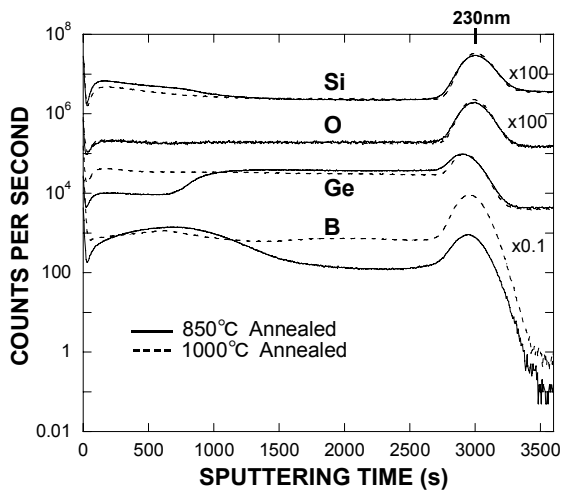


Fig. 5 SIMS profiles for the N<sub>2</sub>-annealed sample after BF<sub>2</sub><sup>+</sup>-implantation shown in Fig. 2, which were measured by using O<sub>2</sub><sup>+</sup> ions.

SiO<sub>2</sub> 膜を形成した。バッファ層として膜厚 30nm の Poly-Si を SiH<sub>4</sub> ガスの LPCVD (570°C, 0.36Torr) で成長した。引き続き、SiH<sub>4</sub>+GeH<sub>4</sub> 混合ガスの LPCVD(570°C, 0.42Torr)により、Poly-Si<sub>1-x</sub>Ge<sub>x</sub>(x~0.3)を厚さ100nm堆積し、最後にキャップ層として再び SiH<sub>4</sub> の LPCVD(570 °C ,0.36Torr) により Poly-Si(厚さ 100nm)を堆積した(図1)。その後、30keVに加速したAs<sup>+</sup>イオン及び15keVに加速したBF<sub>2</sub><sup>+</sup>イオンをドーズ量 5x10<sup>15</sup>ions/cm<sup>2</sup> で注入し、N<sub>2</sub> 雰囲気中 850°C及び 1000°Cアニール(30 分間)で不純物活性化を行った。X線回折(XRD)により膜の結晶性を調べ、ラマン散乱分光、二次イオン質量分析(SIMS)および透過型電子顕微鏡を用いたEDX 分析(TEM-EDX)により Ge の拡散状態を評価した。また、LOCOS パターン上に形成したキャパシタ構造において、容量-電圧(C-V)及び電流-電圧(I-V)特性を評価した。

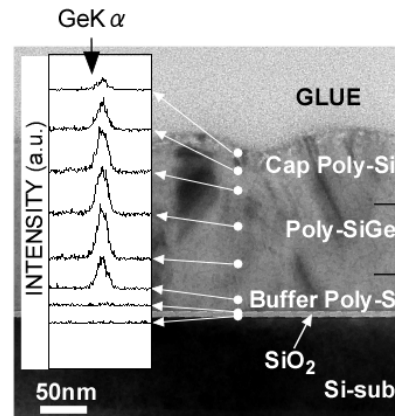


Fig. 6: Cross-sectional TEM image of the stack structures on 4nm-thick SiO<sub>2</sub>/Si(100) annealed at 800°C for 10min after BF<sub>2</sub><sup>+</sup> implantation and EDX spectra taken at different positions. The Ge concentration in as-deposited SiGe layer was ~30%.

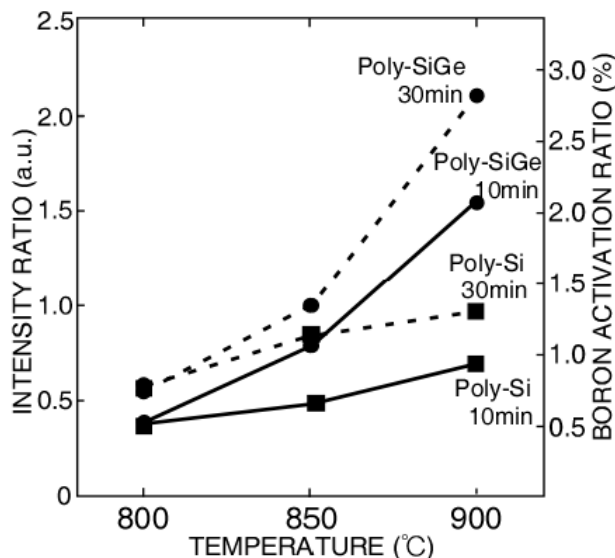


Fig. 7: The Raman intensity ratio of the peak due to acceptors to that due to the Si TO phonon mode for poly-Si and poly SiGe samples annealed at different temperatures for 10 and 30min. after BF<sub>2</sub><sup>+</sup> implantation. The ratio corresponds roughly to the boron activation ratio. The bottom oxide thickness was 4.0nm and the Ge concentration in as-deposited SiGe layer was ~30%.

### 結果及び考察

X線回折(XRD)の結果を図2に示す。ドーパントの有無および種類に関係なく、(111)優先配向し、熱処理によって、結晶性が顕著に向上する。850°C熱処理後の試料では、Bドーパントの試料が、ドーパント無しおよびAsドーパントの試料に比べて結晶性が低く、F原子の導入が結晶化を阻害していると考えられる。ラマン散乱分光の結果を図3に示す。堆積直後の試料では、キャップ層のSi-Si TOフォノンモードによる散乱ピーク(520cm<sup>-1</sup>)とその低波数側にSiGe層中のSi-Si TOフォノンモードによる散乱ピークが観測される。850°C熱処理によって、キャップ層からの

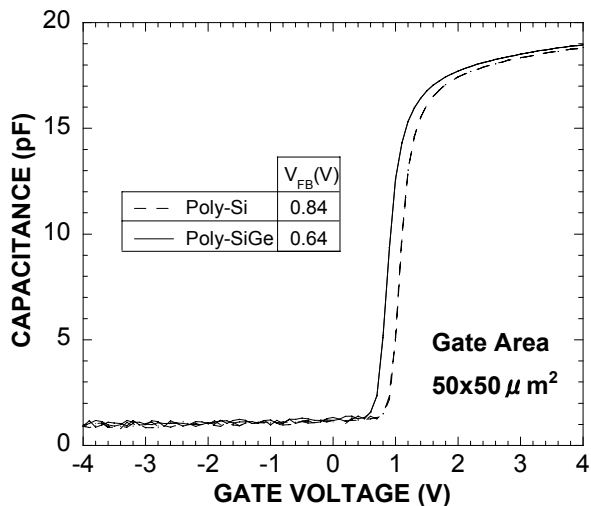


Fig. 10 C-V characteristics of MOS capacitor with p<sup>+</sup> poly-Si gate and p<sup>+</sup> poly-SiGe gate.

Si-Si TO フォノンモードは、低波数側にシフトすることから、Ge の拡散が示唆される。また、B ドープの試

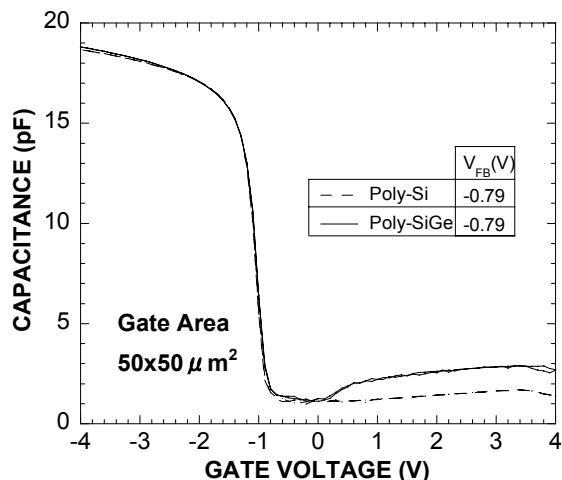


Fig. 9: C-V characteristics of MOS capacitor with n<sup>+</sup> poly-Si gate and n<sup>+</sup> poly-SiGe gate.

料では、As ドープ試料に比べて、ラマン散乱強度が著しく弱く、結晶性が低い。この結果は、XRD の結果 (図 2) と整合する。1000°C 熱処理した試料では、低波側の成分が支配的となり、Ge がキャップ層へ均一に拡散したことが示唆される。この結果を確認する為に、SIMS 測定を行った (図 4, 5)。As ドープした試料において、850°C 熱処理によりキャップ層中の Ge 濃度が顕著に増大し、1000°C 熱処理では、Ge は、キャップ層全体に渡って均一分布していることが分かる (図 4)。B ドープ試料についても、1000°C 熱処理後 Ge が均一分布していることが確認できる (図 5)。図 6 に熱処理を 800°C 10 分行った Poly-SiGe スタック構造の断面 TEM 像とエネルギー分散型分光法による各測定点における GeK $\alpha$  スペクトルを示す。測定結果より酸化膜中には Ge が検

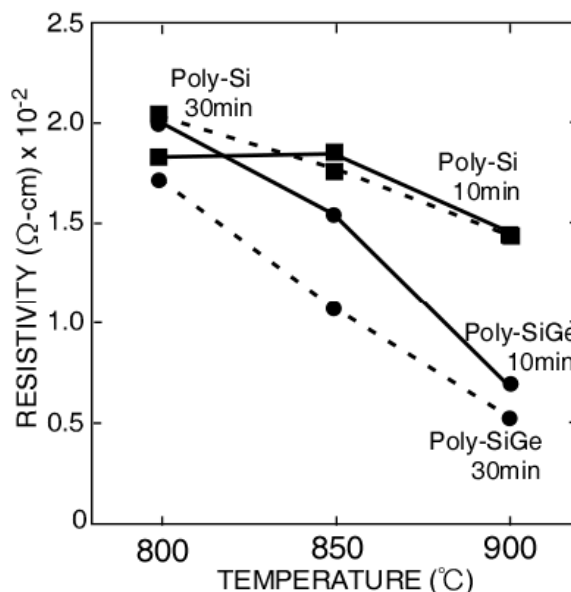


Fig. 8: The resistivity of the samples shown in Fig. 6 measured using a four-point probe.

出されなかったが Cap Poly-Si 層の表面付近まで Ge が拡散されていることが確認された。ラマン散乱スペクトルにおいて、アクセプタと価電子帯間の電子遷移に起因するシグナルが 610cm<sup>-1</sup> に観測されることが知られている [8]。610cm<sup>-1</sup> 付近に見られる Si-B ピークから Poly-SiGe 中のボロンの活性化率を求めた結果、900°C において poly-Si に比べ著しく増加した。図 7 に Si-B ラマン強度の温度依存性、図 8 に抵抗率-アニール温度特性を示す。900°C において Poly-SiGe の抵抗率および B 活性化率は poly-Si に比べ著しく改善している。As<sup>+</sup> および BF<sub>2</sub><sup>+</sup> イオン注入後、850°C 熱処理して、p-Si(100) および n-Si(100) 基板に作成した MOS ダイオードの C-V 特性を図 5 に示す。n<sup>+</sup> ゲートの場合は、poly-Si および poly-SiGe ゲートでフラットバンド電圧 V<sub>fb</sub> に差異は認められない (図 9)。一方、p<sup>+</sup> ゲートの場合は、poly-SiGe ゲートの V<sub>fb</sub> は、poly-Si ゲートに比べて 0.2V 低下している (図 10)。これは、p<sup>+</sup> poly-SiGe のフェルミレベルが p<sup>+</sup> poly-Si に比べて、伝導帯側へ 0.2eV シフトしていることで解釈できる [9]。このシフト量は、Ge 濃度から予測される価電子帯上端の上昇値とも矛盾しない。I-V 特性を調べた結果を図 11 に示す。V<sub>fb</sub> シフトを反映して、正ゲートバイアス側での p<sup>+</sup> poly-SiGe ゲート/SiO<sub>2</sub>(4nm)/n-Si(100) の F-N トンネル電流は、p<sup>+</sup> poly-Si ゲートの場合よりも低ゲート電圧から立ち上がる。負ゲートバイアス側の I-V 特性に V<sub>fb</sub> シフトが反映されないのは、電流が基板における正孔の生成レートで制限されているためと考えられる。また、n<sup>+</sup> ゲートの場合は、poly-Si ゲートと poly-SiGe に顕著な差異はなく、理論トンネル電流値とほぼ一致することが分かる。

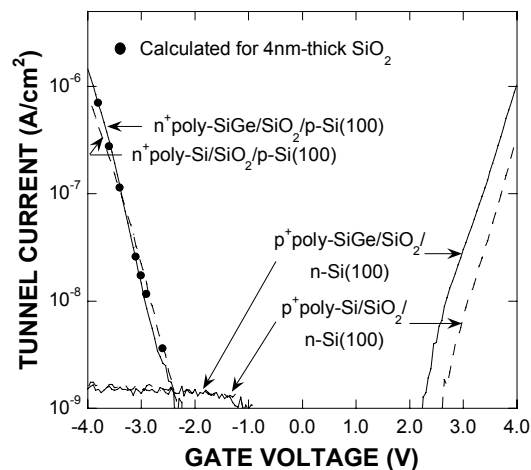


Fig. 11: I-V characteristics of MOS capacitors shown in Fig. 9 and 10.

### まとめ

- (1) 1000°C、30分の熱処理によって、厚さ100nmのSiキャップ層へGeが均一分布する。
- (2) 熱処理後の結晶性は、As<sup>+</sup>ドーパの場合の方がBF<sub>2</sub><sup>+</sup>ドーパの場合よりも良い。
- (3) poly-Si/poly-SiGe/poly-Si スタック構造におけるGeの熱拡散を制御してゲート電極を形成することで、I-V特性を劣化させることなく、p+ゲートのV<sub>fb</sub>を0.2V低下させることが出来た。

### 今後の予定

これまででは、SiO<sub>2</sub>上にSiGeを堆積させてGeおよび不純物拡散の評価を行ってきたが、今後はAlONおよびHfO<sub>2</sub>等の高誘電率膜上にSiGeを堆積させ、拡散評価、電気的特性評価を行う。

### 参考文献

- [1] H. Murakami et al., Jpn. J. Appl. Phys. Vol. 41 No. 5A (2002)pp. L512-L514.
- [2] W-C. Lee et al., IEEE Electron Dev. Lett. 20(5)(1999)pp. 9-11.
- [3] K. Uejima et al., IEDM Tech, Dig., (2000) p. 445.
- [4] C. H. Chen et al., Solid-State Electronics 46 (2002) pp. 597-599.
- [5] Y. H. Kim et al., Jpn. J. Appl. Phys. Vol. 33 (1994) pp. 2468-2473.
- [6] Y. V. Ponomarev et al., IEDM Tech, Dig., (1997) pp. 829-832.
- [7] W-C. Lee, et al., Symp. VLSI Tech. (1998) pp. 186-187.
- [8] M. V. Klein, Topics in Applied Physics: Light Scattering in Solid I, M. Cardona, ed., Springer-Verlag Berlin Heidelberg NewYork (1983)pp. 161-163.
- [9] Y. V. Ponomarev et al., IEEE Trans. on Elec. Dev., Vol. 47(2000)pp. 848-855.

### 3. これまでの研究発表、特許等

#### ① 原著論文

H. Murakami, T. Mihara, S. Miyazaki and M. Hirose, *Jpn. J. Appl. Phys.* Vol. 41 No. 5A (2002)pp. L512-L514

#### ② 国際会議プロシーディング等

1. H. Murakami, Y. Moriwaki, M. Fujitake, D. Azuma, S. Higashi and S. Miyazaki, *2004 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, to be published.*