

Conductive-AFM による High-k 絶縁膜 hard breakdown パスの研究

Pei yanli (先端研量子物質科学専攻 D1),
 東 清一郎 (先端研半導体集積科学専攻 助教授),
 宮崎 誠一 (先端研半導体集積科学専攻 教授)

1. 研究目的

国際半導体技術ロードマップによると 2005 年にはゲート SiO₂ 膜厚が原子数層に満たない 1.5nm 以下と予測されており、量子力学的効果によるゲートリーク電流が増大し、SiO₂ 膜は絶縁膜として働かなくなる。従って 物理膜厚を厚く設定できる high-k ゲート絶縁膜の研究と応用が強く求められている。

デバイス微細化に伴って、信頼性確保が最も重要な課題となる。しかし 絶縁性劣化(SILC)機構及び絶縁破壊(soft breakdown and hard breakdown)メカニズムの研究は、ほとんど SiO₂ 膜を基にしている、high-k 絶縁膜の絶縁破壊の研究が必要となる。

本研究は AFM/電流同時測定モードを用いることにより high-k ゲート MIS 結構 hard breakdown パスを観測することになる。Hard breakdown パスのサイズ、密度によって high-k 絶縁破壊の解析ができる。Conductive -AFM で破壊個所を直接確認して、破壊メカニズムの解明を目的とする。

2. COE プログラムと成果の関係

high-k 絶縁膜をコントローラ酸化層としてのドットメモリの開発が進んでいる。High-k 破壊メカニズムの研究は high-k の ドットメモリの応用に理論基礎を提供する。

3. これまでの研究成果概要

試料は図1に指したスタック(HfAlO/SiON)ゲートのMIS結構です。

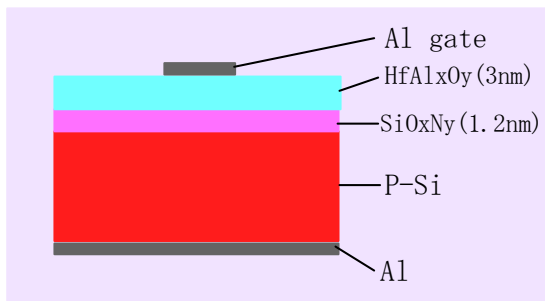


Fig.1 Schematic diagram of stacked high-k gate MIS structure

ゲート電圧は-4.5 ボールに hard breakdown を起こす、C-V カーブにより、ゲート絶縁膜の EOT は 2.1nm だと計算された。Hard breakdown

を起こした臨界電界強度が 20MV/cm。Hard breakdown を起こすとリーク電流の大幅な増加が観測された。

Hard breakdown を起こすと導電性フィラメントが形成されるとするモデルで説明できる。

フィラメントがシリコンとメタルだと仮定された、

$J_{postHD} = (1 - A_{ratio})J_{FN} + A_{ratio}J_{SM}$ の様に表れる。ここで A_{ratio} は絶縁膜 hard breakdown パスの total 面積の比率、 J_{SM} は breakdown の schottky 電流密度。

Post hard breakdown I-V カーブにより、 $A_{ratio}10^7$ 以上小さい。だから、total ゲートのなかにリークパスは幾つしかない、Conductive-AFM の観測が難しいと考えられた。今、1 ミリΦのゲートのリークパスが見付けない。

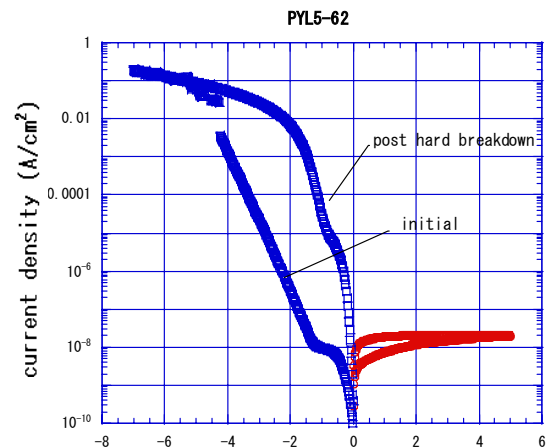


Fig.2 characteristic of current-voltage

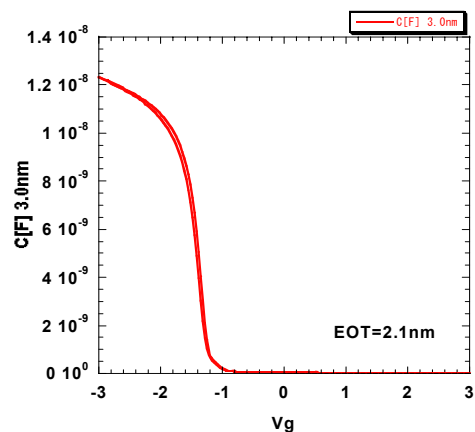


Fig.3 characteristic of capacitance-voltage

4. 今後の予定

ゲートの面積を減少して、hard breakdown されて、リークパスを conductive-AFM で見付けて high-k 膜の hard breakdown メカニズムを確認する。そして high-k 絶縁膜は伝統なドットメモリの CVD 酸化膜の替わり品として high-k ドットメモリに応用させて high-k ドットメモリの性能を評価する予定です。

5. 発表論文等研究業績

いま、この研究は始まったばかりですから研究業績がまだ、ないです。

参考文献

1. Breakdown Modes and Their Evolution in Ultrathin Gate Oxide, Jpn. J. App. Phys. Vol. 41 (2002) pp. 5957-5963.