

光電子集積回路のためのフォトニック結晶

－フォトニック結晶の作製技術と応用－

中島 安理 (ナノデバイス・システム研究センター助教授,先端研半導体集積科学専攻),

横山 新 (ナノデバイス・システム研究センター教授,先端研半導体集積科学専攻),

和気 勝 (先端研量子物質科学専攻 M2)

1. はじめに

フォトニック結晶は屈折率が周期的に変化する構造を持つ新しい光学材料であり、将来の超高集積光回路のために不可欠なものと考えられている。¹⁾ 高機能を持つ超高集積光回路を実現するためには、完全なフォトニックバンドギャ

ップを持つ3次元フォトニック結晶が有効である。²⁾ これを利用した高機能デバイスとしては、3次元フォトニック結晶構造の低しきい値レーザーや超高集積光回路における急峻曲がり光導波路が挙げられる。このような背景から現在、簡便に3次元フォトニック結晶を作製する方法の確立が重要になっている。

広島大学ナノデバイス・システム研究センターにおいては、このような超高集積光回路のためだけではなく超高集積光電子融合回路も視野に入れて、Si系材料をベースとした3次元フォトニック結晶の作製方法の確立を行っている。ここでは、現在まで確立した技術を述べる。

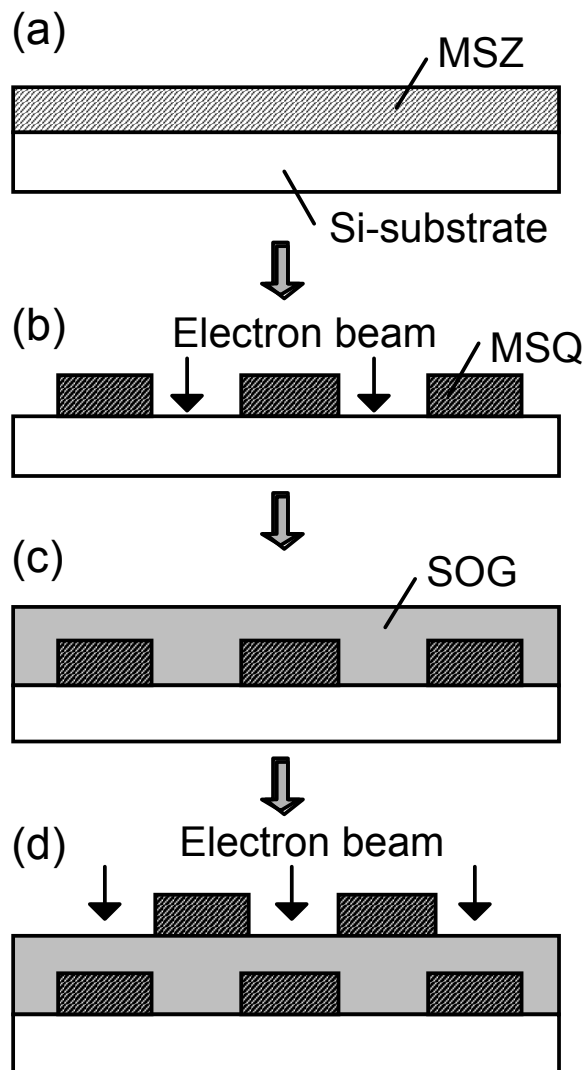


Fig. 1 The proposed realization method for three-dimensional photonic crystals.

2. 研究結果

3次元フォトニック結晶の作製はこれまでいくつか報告されている。しかし、それらの作製方法は、かなり複雑で手の込んだものであるか、^{3,4)}あるいは、作製できる構造に対して自由度が少ない。⁵⁾ また、Si系材料を用いなければ、高機能を持つ超高集積光電子融合回路を低コストで実現する事は非常に難しい。^{4,5)} 最近広島大学のグループが、超高集積回路における多層配線のために、感光性メチルシラザン (MSZ) 膜を用いて層間絶縁膜に光あるいは電子線で直接パターンを形成する方法を開発した。⁶⁻⁸⁾ この方法を用いるとレジスト膜を塗布する事なしに、感光性MSZ膜に紫外光あるいは電子線を照射するだけでパターンの形成が可能となる。従ってこの方法では、レジスト塗布が不要になるだけでなく、ドライエッチングもパターンの形成に不要となる。今回、我々はこの直接描画法を3次元フォトニック結晶の作製に応用した。これにより、3次元フォトニック結晶の作製工程数が従来に比べて約半分に削減できた。

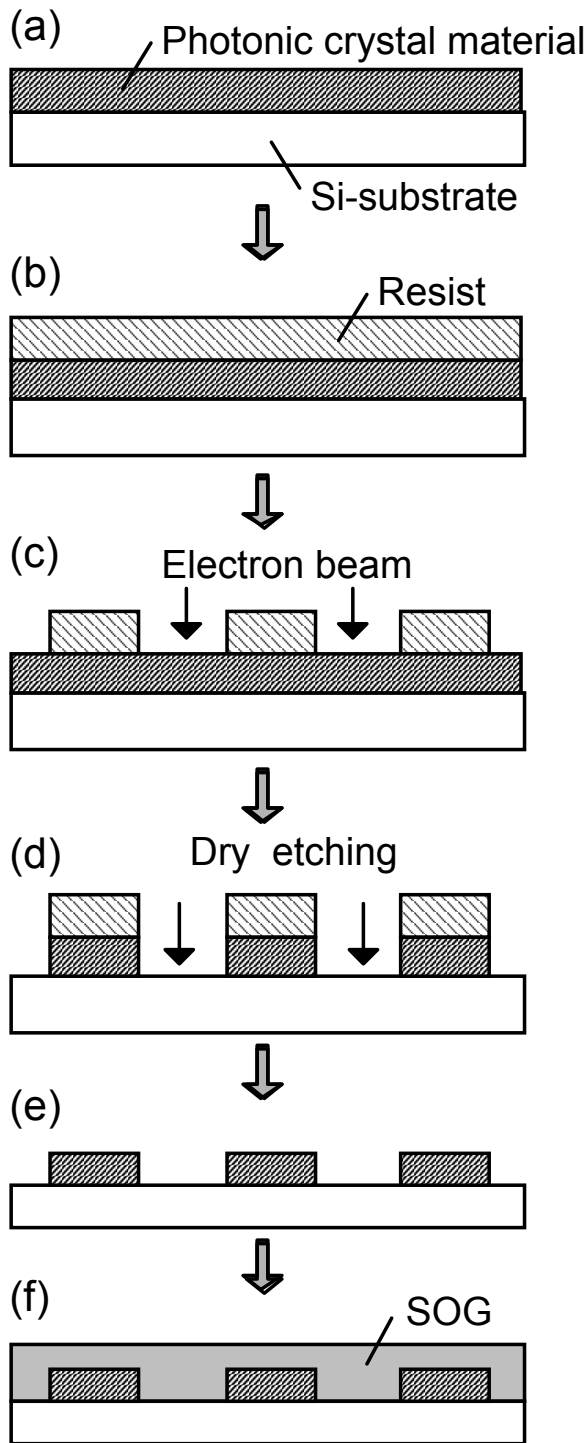


Fig. 2 A conventional method for the fabrication of three-dimensional photonic crystals.

Figure 1 に今回提案した方法を示す。膜厚約 150nm の感光性MSZ膜（屈折率1.55）をSi基板上にスピンドブする[Fig. 1(a)]。ベキング後、3次元構造の基本となる2次元パターンを電子線リソグラフィにより形成する[Fig. 1(b)]。現像後、感光性MSZは化学変化により、屈折率は1.45

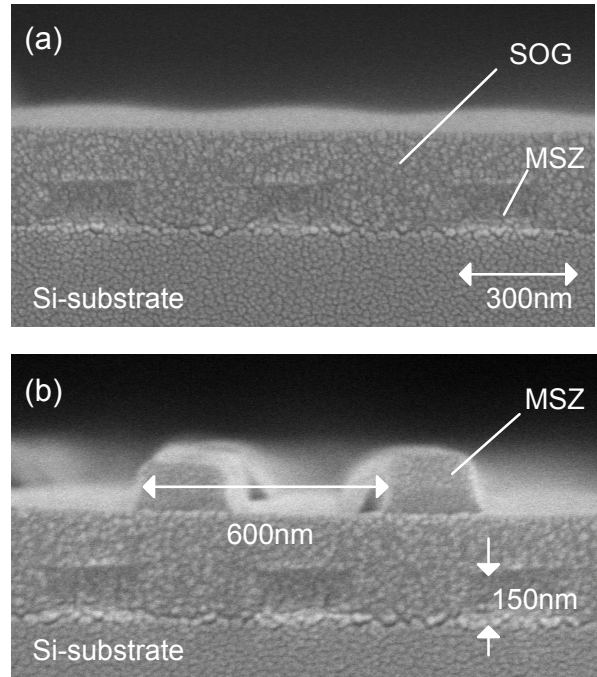


Fig. 3 Cross sectional SEM image of the fabricated structure having MSZ stripe patterns.

となる。これらの工程において、電子線レジスト塗布とドライエッチングは行っていない。次に、スピンドングラス膜(SOG、屈折率1.38)を上述のパターン上にスピンドブする[Fig. 1(c)]。この時、SOG膜厚は平面上で約200nmである。ベキ後、平坦な表面を持つSOG膜が形成される。上述の工程を繰り返すことにより、屈折率が周期的に変化した3次元フォトニック結晶が非常に簡単に形成できる[Fig.1(d)]。

一方、従来の作製方法ではフォトニック結晶材料の塗布後[Fig.2(a)]に、レジスト塗布[Fig.2(b)]、レジストマスクによるドライエッチング[Fig.2(d)]、レジストマスク除去[Fig.2(e)]を Fig. 1 で提案した方法の工程に加えて行わなければならない。このように今回提案した Fig.1 の方法では、工程数を従来方法の約半分に削減できる。

Figure 3 は作製した構造の SEM 写真である。Figure 3(a)から、MSZ のストライプパターンを持つ基本2次元構造が確かに形成されており、平坦な表面を持つ SOG 膜に覆われている事が判る。ストライプパターンのラインアンドスペースは 300nm であり、波長領域にして 500~1600nm のフォトニック結晶に対応する。SOG 膜の表面の平坦性により、MSZ の2次元周期基本構造は繰り返して積層する事が可能となる[Fig.3(b)]。

Figure 4 は本研究で提案した作製方法を用い

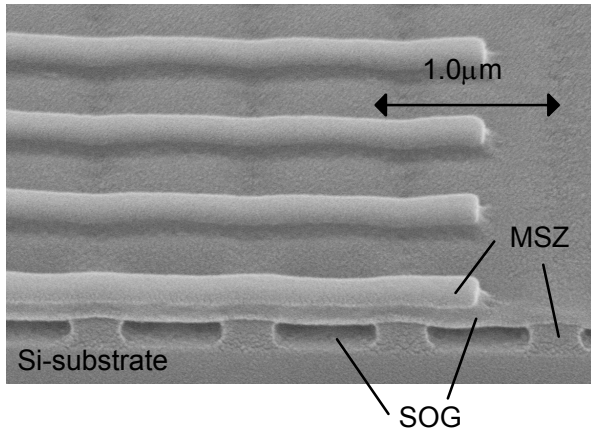


Fig. 4 Bird's-eye view SEM image of the fabricated woodpile structure.

た積み木構造の鳥瞰図である。一層毎にMSZのストライプ構造が直交している事が判る。

Figure 5は、本方法を用いて作製したY分岐導波路のSEM写真である。このように本方法においては、高機能デバイスで必要となる2次元基本構造を3次元フォトニック結晶に組み込む事が用意に可能である。

また、本作製方法は超高集積回路の作製方法と整合性があり、その最前線のナノ構造作製技術を利用できるという利点がある。更に、作製したフォトニック結晶を簡便に超高集積回路とモノリシックに集積できる。これにより低コス

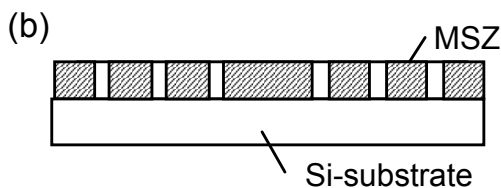
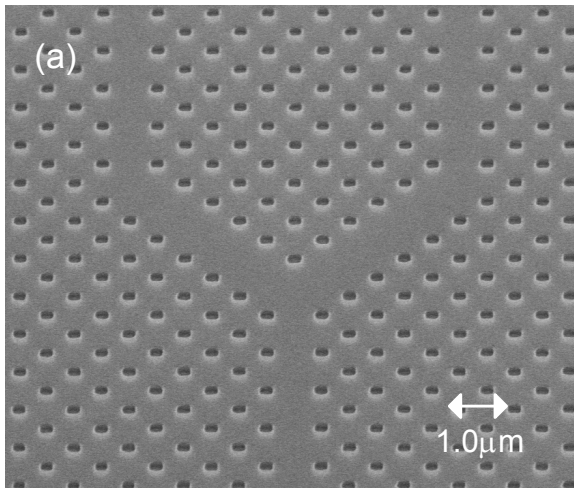


Fig. 5 Top view SEM image of the fabricated two-dimensional Y-branch waveguide structure (a) and the schematic of the cross section (b).

トの光電子融合集積回路が実現可能となる。

3. まとめ

電子線または紫外光直接描画法を3次元フォトニック結晶の作製に応用した。ストライプパターンのスタック構造、積み木構造、2次元Y分岐導波路構造等の基本構造を本作製方法により形成した。本作製方法により工程数を従来方法に比べて約半分に削減できた。本方法は、低コストで光電子融合集積回路の実現する方法として期待できる。

参考文献

- 1) E. Yablonovitch, Phys. Rev. Lett. 58 (1987) 2059.
- 2) E. Yablonovitch, T. Gmitter, and K. Leung, Phys. Rev. Lett. 67 (1991) 2295.
- 3) S. Noda, N. Yamamoto, and A. Sasaki, Jpn J. Appl. Phys. 35 (1996) L909.
- 4) J. G. Fleming and S.-Y. Lin, Opt. Lett. 24 (1999) 49.
- 5) M. Notomi, T. Tamamura, T. Kawashima, and S. Kawakami, Appl. Phys. Lett. 77 (2000) 4256.
- 6) S. Mukaigawa, T. Aoki, Y. Shimizu, and T. Kikkawa, Jpn. J. Appl. Phys. 39 (2000) 2189.
- 7) T. Kikkawa, T. Nagahara, and H. Matsuo, Appl. Phys. Lett. 78 (2001) 2557.
- 8) T. Kikkawa, Tech. Dig. Int. Electron Devices Meet. 2000 p. 253.

業績

フォトニック結晶

(特許)

- 1) 発明の名称：屈折率膜の積層方法およびパターン化積層体、出願番号：2003-081181 (H15.03.24)
発明者：中島安理、横山新、吉川公麿、和気勝
- 2) 発明の名称：有機レーザーおよびその製造方法
出願番号：特願 2004-099015 (H16.03.30)
発明者：中島安理

微細化デバイス

(査読付き雑誌)

- 1) A. Nakajima, Q.D.M. Khosru, T. Yoshimoto, T. Kidera, and S. Yokoyama, "NH₃-annealed atomic-layer-deposited silicon nitride as a high-*k* gate dielectric with high reliability," Appl. Phys. Lett. 80, pp.1252-1254 (2002).
- 2) Q.D.M. Khosru, A. Nakajima, T. Yoshimoto, and S. Yokoyama, "Low thermal-budget ultrathin NH₃-annealed atomic-layer-deposited Si-nitride/SiO₂ stack gate dielectrics with excellent reliability," IEEE Electron Device Lett. 23, pp. 179-181 (2002).

- 3) K. Kawamura, T. Kidera, A. Nakajima, and S. Yokoyama, "Coulomb blockade effects and conduction mechanism in extremely thin polycrystalline-silicon wires," *J. Appl. Phys.* 91, pp. 5213-5220 (2002).
- 4) Q.D.M. Khosru, A. Nakajima, T. Yoshimoto, and S. Yokoyama, "Reliable extraction of the energy distribution of Si/SiO₂ interface traps in ultrathin metal-oxide-semiconductor structures," *Appl. Phys. Lett.* 80, pp. 3952-3954 (2002).
- 5) Y. Ito, T. Hatano, A. Nakajima, and S. Yokoyama, "Fabrication of Si single-electron transistors having double SiO₂ barriers," *Appl. Phys. Lett.* 80, pp. 4617-4619 (2002).
- 6) A. Nakajima, Y. Ito, and S. Yokoyama, "Conduction mechanism of Si single-electron transistors having an one-dimensional regular array of multiple tunnel junctions," *Appl. Phys. Lett.* 81, pp. 733-735 (2002).
- 7) Q.D.M. Khosru, A. Nakajima, T. Yoshimoto, and S. Yokoyama, "High quality NH₃-annealed atomic Layer Deposited Si-nitride/SiO₂ Stack Gate Dielectrics for Sub-100nm Technology Generations," *Solid State Electron.* 46, pp. 1659-1664 (2002).
- 8) A. Nakajima, Q.D.M. Khosru, T. Yoshimoto, T. Kidera, and S. Yokoyama, "Low-temperature formation of highly-reliable silicon-nitride gate dielectrics with suppressed soft-breakdown phenomena for advanced complementary metal-oxide-semiconductor technology," *J. Vac. Sci. & Technol. B* 20, pp. 1406-1409 (2002).
- 9) A. Nakajima, T. Kidera, H. Ishii, and S. Yokoyama, "Atomic-layer deposition of ZrO₂ with a Si nitride barrier layer," *Appl. Phys. Lett.* 81, pp. 2824-2826 (2002).
- 10) Q.D.M. Khosru, A. Nakajima, T. Yoshimoto, and S. Yokoyama, "Response to 'Comment on 'Reliable extraction of the energy distribution of Si/SiO₂ interface traps in ultrathin metal-oxide-semiconductor structures'" [*Appl. Phys. Lett.* 81, 3681 (2002)]", *Appl. Phys. Lett.* 81, pp. 3683-3684 (2002).
- 11) A. Nakajima, Q.D.M. Khosru, T. Yoshimoto, and S. Yokoyama, "Atomic-layer-deposited silicon-nitride/SiO₂ stack --- a highly potential gate dielectrics for advanced CMOS technology," *Microelectronics Reliability* 42, pp.1823-1835 (2002) (**Introductory Invited**).
- 12) A. Nakajima, Q.D.M. Khosru, T. Kasai, and S. Yokoyama, "Carrier Mobility in p-MOSFET with Atomic-Layer-Deposited Si-Nitride/SiO₂ Stack Gate Dielectrics," *IEEE Electron Device Lett.* 24, pp. 472-474 (2003).
- 13) A. Nakajima, Q.D.M. Khosru, T. Yoshimoto, T. Kasai, and S. Yokoyama, "High Quality Atomic-Layer-Deposited Ultrathin Silicon-Nitride Gate Dielectrics with Low Density of Interface and Bulk Traps," *Appl. Phys. Lett.* 83, pp. 335-337 (2003).
- 14) H. Ishii, A. Nakajima, and S. Yokoyama, "Growth and electrical properties of atomic-layer deposited ZrO₂/Si-nitride stack gate dielectrics," *J. Appl. Phys.* 95, pp.536-542 (2004).
- 15) T. Kitade and A. Nakajima, "Application of highly doped Si single-electron transistors to an exclusive-NOR operation," *Jpn. J. Appl. Phys.* 43, pp. L418-L420 (2004).
- (国際学会発表、プロシーディング)
- 16) A. Nakajima and S. Yokoyama, "Atomic-layer-deposition of Si nitride and ZrO₂ for gate dielectrics," *Abst. AVS Topical Conference on Atomic Layer Deposition (ALD 2002)* (Seoul, August 19-21, 2002) pp. 6-6 (**Invited**).
- 17) Q.D.M. Khosru, A. Nakajima, T. Yoshimoto, and S. Yokoyama, "A novel method for extracting the energy distribution of Si/SiO₂ interface traps in ultrathin oxide MOS structures," presented in the Second IEEE Conference on Nanotechnology (Washington, D.C., August 26-28, 2002).
- 18) Q.D.M. Khosru, A. Nakajima, and S. Yokoyama, "Time-dependent breakdown of ultrathin SiO₂ gate dielectrics under static and dynamic stress," *Abst. 2nd ECS Int. Semiconductor Technology Conf.* (Tokyo, September 11-14, 2002), Abstract No.71.
- 19) H. Ishii, T. Kidera, A. Nakajima, and S. Yokoyama, "Atomic-layer deposition of ZrO₂ with a Si nitride barrier layer," 2002 Int. Conf. on Solid State Devices and Materials (Nagoya, September 17-19, 2002), pp. 452-453.
- 20) Q.D.M. Khosru, A. Nakajima, and S. Yokoyama, "A comparative study of bulk and interface trap generation in ultrathin SiO₂ and atomic-layer-deposited Si-nitride/SiO₂ stack gate dielectrics," *Forth Int. Symposium on Control of Semiconductor Interface (ISCSI-IV)* (Karuziawa, October 21-25, 2002) pp. A6-3-A6-3.
- 21) Q.D.M. Khosru, A. Nakajima, and S. Yokoyama, "An Effective Method for Obtaining Interface Trap Distribution in MOS capacitors with Tunneling Gate Oxides", *Proceedings 2002 IEEE Int. Conf. on Semiconductor Electronics (ICSE 2002)* (Penang, December 19-21, 2002) pp. 402-406.
- 22) T. Kitade, K. Ohkura, and A. Nakajima, "Periodic Coulomb oscillation in highly doped Si single-electron transistor," 2003 Int. Conf. on Solid State Devices and Materials (SSDM2003)(Tokyo, September 16-18, 2003) pp. 584-585.
- 23) A. Nakajima, H. Ishii, T. Kitade, and S. Yokoyama, "Atomic-Layer-Deposited Ultrathin Si-Nitride Gate Dielectrics ---A Better Choice for Sub-tunneling Gate Dielectrics---," *Technical Digest of the 2003 IEEE International Electron Devices Meeting* (Washington, D.C., Dec. 8-10, 2003) pp.657-660.
- 24) A. Nakajima and S. Yokoyama, "Atomic-layer-deposition of ultrathin Si Nitride for sub-tunneling gate dielectrics---," to be presented at ECS Symposium 11: First International Symposium on Dielectrics for Nanosystems (Honolulu, Hawaii, October 3-8, 2004) (**Invited**).
- 25) T. Kitade, K. Ohkura, and A. Nakajima, "Room temperature operation of an exclusive-OR circuit using highly doped Si single-electron transistors," submitted to 2004 Int. Conf. On Solid State Devices and Materials (SSDM2004).
- (著書)
- 26) A. Nakajima, "Silicon Quantum Dots," *Encyclopedia of Nanoscience and Nanotechnology* (H.S. Nalwa (ED.), U.S.A., American Scientific Publishers, USA) Vol.9, pp.837-857 2004, ISBN:1-58883-001-2.