

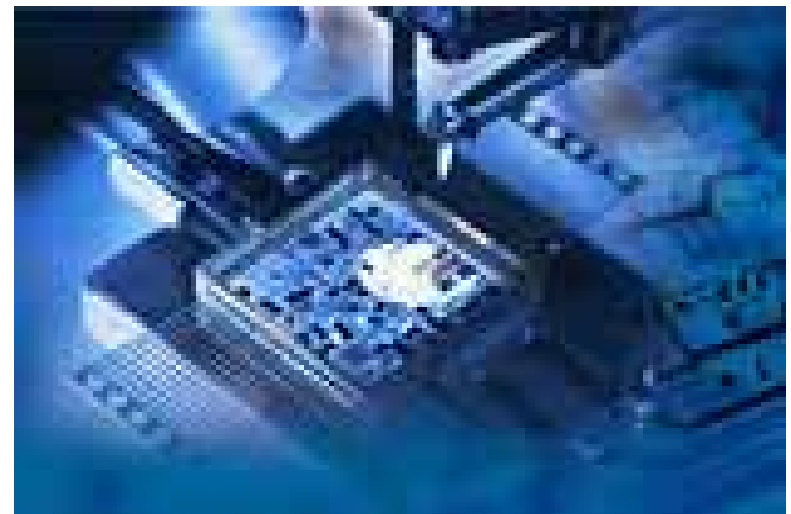
COEの概要・目標

研究

- ・回路・モデル・デバイスの3領域を融合した新学問領域の形成
- ・三次元集積技術と学習・認識システムの基盤技術の構築

教育

- ・広い視野と実行力を備えた
次世代のリーダの
資質を持った博士研究者の育成



三研究領域と主要研究メンバー

回路・システム アーキテクチャ

1. RF・アナログ回路
(岩田, 佐々木, 吉田)
2. 連想メモリベース、
画像処理システム
(マタウシュ, 小出)
3. 三次元集積画像
認識システム
(岩田, 佐々木)

デバイス モデリング

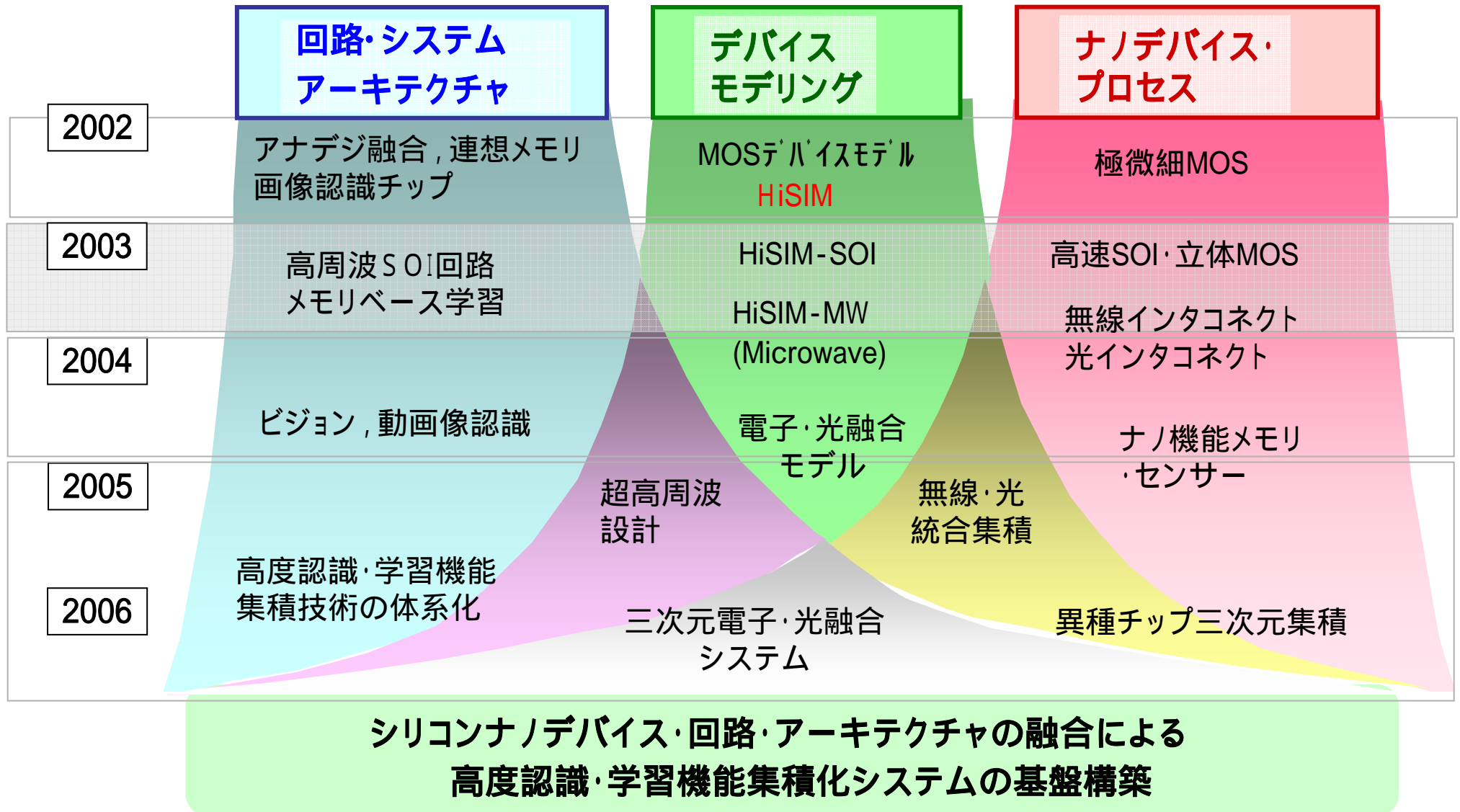
ドリフト・拡散物理に
基づくデバイスモデル
HiSIM
電子光融合デバイス
三次元MOS
(三浦, 江崎,
マタウシュ)

ナノデバイス・ プロセス

1. 微細化基盤技術
(芝原, 中島, 宮崎)
2. 微細SOIデバイス
(角南, 三浦)
3. ナノ機能メモリ
(宮崎, 東, 村上)
4. 無線インタコネク
(吉川, 佐々木)
5. 光インタコネク
(横山, 三浦)

ポスドク研究員: 10名、ドクター学生: 16名

拠点形成計画 (3本柱の研究領域と融合)



2008年の研究到達点

1. テラビット情報処理三次元集積システム (3DCSS) の基盤技術
2種の無線方式によるテラビット・チップ間通信の実現
3D通信プロトタイプでTbit通信性能を実証
2. 3DCSSを応用した高度な学習・認識システム基盤技術
人間より高速なマルチオブジェクト認識システムの基盤技術
試作チップを用いたプロトタイプでTbit情報処理の原理を実証
3. HiSIMモデル: 国際貢献と回路・デバイス融合技術の進展
4. 微細デバイス技術: Tbit情報処理実現の基盤技術

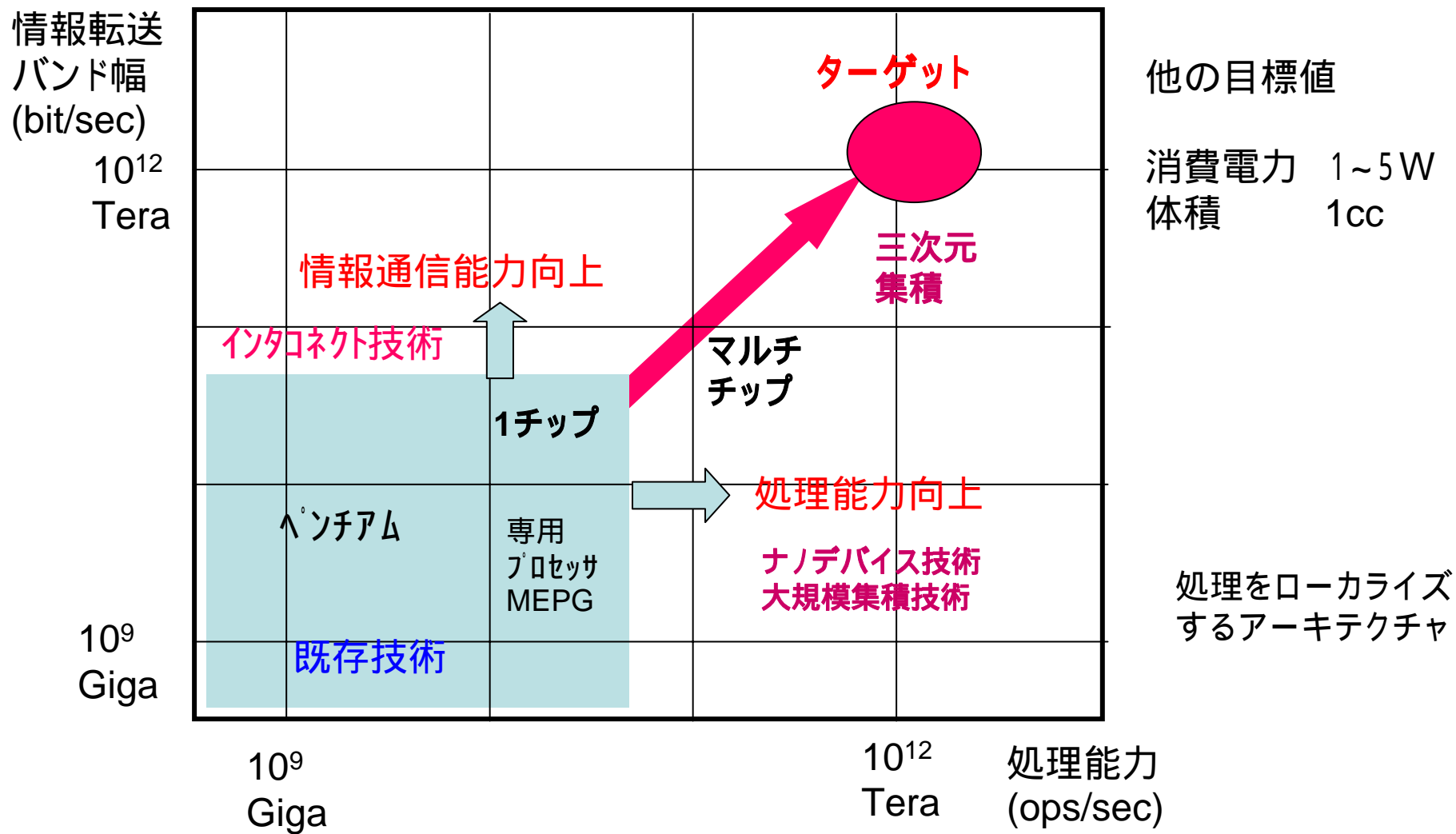
テラビット情報(処理)の定義

Tops情報処理能力 / Tbps情報転送レートを実現し,
人間より高速な視認機能を実現する

情報処理能力 Tops= 1Gops x 1000 Proc. ~ 10Gops x 100 Proc.

情報転送能力 Tbps=1Gbps x 100CHx 10chip ~ 5Gbps x 20CH x 10chip

三次元集積テラビット情報処理のターゲット



COEのゴールへの道筋

