



極微細SOI立体トランジスタの研究

ナノデバイス・システム研究センター
 大学院先端物質科学研究科 半導体集積科学専攻
 教授

角 南 英 夫

e-mailアドレス sunami@sxsys.hiroshima-u.ac.jp

Homepageアドレス <http://www.rcis.hiroshima-u.ac.jp/sunami/>

● 研究の背景

LSI（大規模集積回路）の高集積化および高性能化は1970年に始まり、その後の30年でメモリのビット規模とプロセッサの処理能力はともに百万倍になった。この革新は図1に示すごとく、最初の15年は微細加工により、次の15年は立体構造化により達成されたものである。

また同時に、LSIを構成する素子（トランジスタ）は、30年間に1/100に微細化された。この微細化によって、原理的にその動作速度は100倍、消費電力は1/10,000になる。微細化すればするほど飛躍的に性能が向上するきわめて都合の良い性質がLSIの革新を牽引してきたといえよう。この結果、IT産業を筆頭とする機械文明の進化はLSIの性能向上によっているといっても過言ではない。

● COEでの役割

このトランジスタの微細化も動作原理的な限界、いわゆる短チャネル効果による限界に近づきつつあり、一足先に構造革新を成し遂げたメモリの後を追って、いよいよ立体的なトランジスタの開発に拍車がかかっている。筆者は、トレンチキャパシタDRAMセルを考案した時点で、図2に示すようにSi基板に掘り込んだ溝の側壁をトランジスタのチャンネルに用いるアイデアを考案している。二次元から三次元という発想は、あらゆる分野での共通のトレンドであろう。

LSIの要の基本要素であるトランジスタは極力製造が容易でなければならない。その意味でも、できる限り平面トランジスタを基本とすることに変わりがないと想定するが、立体トランジスタの特質、限界を今明らかにすることはLSIの将来を見極めることに通じる。筆者らのグ

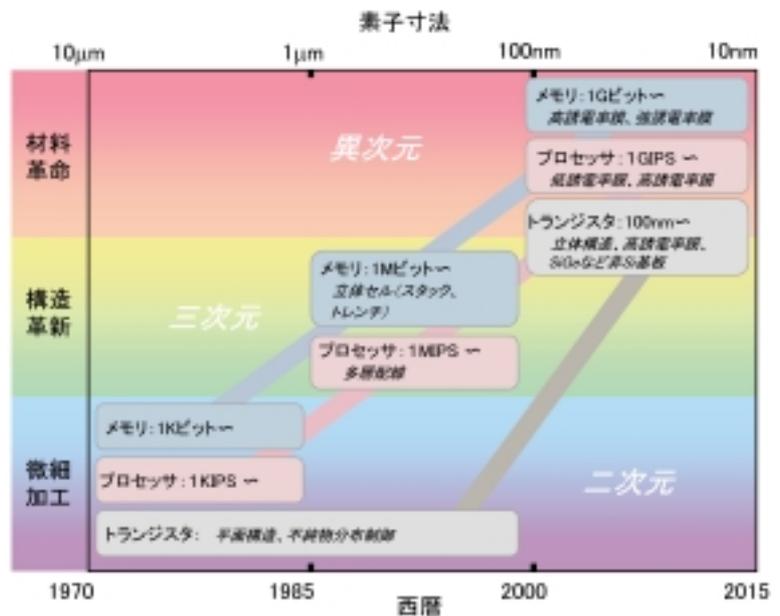


図1 LSIの技術革新



ループはこの重責の一端でも担いたいと思う。

● 研究課題

筆者らのグループは、2001年に高さ1 μm 、幅54nmのビームでチャンネル長2 μm 、2002年に高さ500nm、幅40nmでチャンネル長200nmの立体トランジスタを試作し、正常な動作を確認した。仮にこの立体トランジスタが将来実用化されるとすれば、ゲート長50nm以下の極微細な寸法の領域であり、かつCMOSトランジスタであると想定されるので、図3に示すような絶縁膜上にトランジスタを形成することを計画している。

このトランジスタ形成には次のような課題が想定される。

- ・極狭ビーム形成
- ・縦型ゲート形成
- ・ゲートおよびソース・ドレイン自己整合
- ・低抵抗ソース・ドレイン形成
- ・低接触抵抗ソース・ドレイン接続

また、希望のトランジスタ特性を実現するには、

- ・短チャンネル効果の抑制手段
- ・しきい電圧の制御法

などの工夫が不可欠とかがえられる。

● 終わりに

最先端の研究では、究極のトランジスタの寸法は10nm前後といわれており、従来の微細加工トレンドを延長すれば図1に示したように、15年後にその実現が期待される。ただ、立体構造を含め従来の構造と基本材料を踏襲することで実現するかどうかは今後の研究開発による。我々のグループもその要の技術開発に貢献したい。

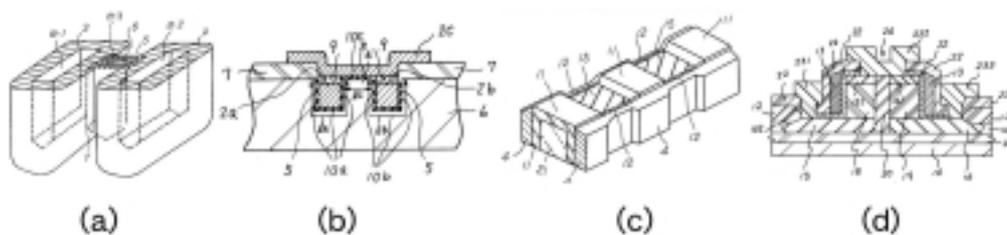


図2 筆者の申請した立体トランジスタの特許 (a)基板に掘り込んだ側壁のチャンネル (1975年申請、特許#13443866)、(b)側壁、上面のマルチチャンネル (1983申請、未請求)、(c)側壁チャンネルトランジスタおよびメモリ (1983年申請、米国特許#4937641)、(d)側壁SOI CMOSトランジスタ (1983年申請、米国特許#4670768)

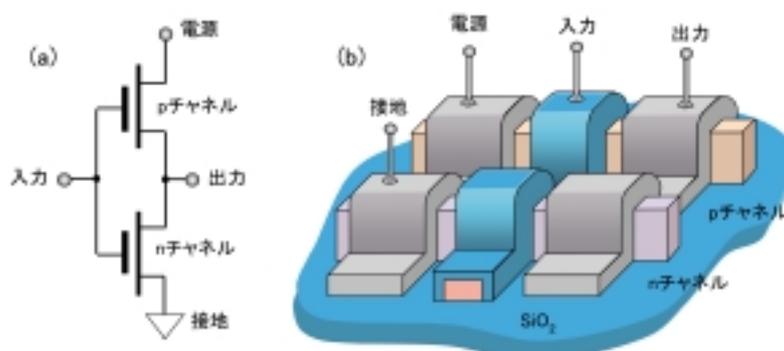


図3 基本CMOSゲート(a)とこれに相当する絶縁膜上に形成したビームチャンネルCMOSトランジスタ(b)