



## ナノデバイス・プロセス領域、微細化基盤技術

ナノデバイス・システム研究センター  
大学院先端物質科学研究科 半導体集積科学専攻  
助教授

芝原 健太郎

e-mailアドレス shiba@sxsys.hiroshima-u.ac.jp

Homepageアドレス <http://www.rcns.hiroshima-u.ac.jp/shiba/>

### ● COEにおける微細化基盤技術

半導体業界で広島大といえばナノデバイス・システム研究センター、世界有数のクリーンルームを擁しサブ100nmのデバイス試作実績を持つ施設、と思い出してくださる方も少なくないと思います。この恵まれた研究環境を活かし世界に向けてプロセス・デバイス分野の優れた研究成果を発信するのがナノデバイス・プロセス領域で微細化基盤技術を担当する私達の基本的な役割です。バルクプレーナデバイスのスケーリングのみに頼ることは今後さらに難しくなると思われませんが、少しずつデバイス構造や製造方法に新たな技術を導入してデバイスの性能向上は続くでしょう。私は集積回路製造技術のうち、フロントエンドプロセスと呼ばれるトランジスタの製造にかかわる分野で研究を行っています。

我々のCOEにおける目標の一つに広い視野をもった人材の育成があります。今後の集積回路の開発では、それぞれの分野の技術者がそれぞれの主張で取り組むのではなく、ある時はデバイス技術でまたある時は回路技術でと自由に視点を切り替えられることが要求されることでしょう。我々のCOEが全体として掲げているこのための実践的教育のひとつのありかたが光配線技術、オンチップ無線伝送技術を通した3次元光・電子融合システムの構築です。微細化基盤技術の場合、これよりも要素技術よりですが、デバイスレベルで新しい技術の有用性を実証し、回路モデル、回路設計グループと共同でデモンストレーションを行うという方法があります。

このような直接的アプローチももちろん重要ですが、プロセス・デバイス・モデリング・回路・システムのそれぞれの分野で優れた研究レベルを維持し続けることで、COEチームで学ぶ若い人材がそれぞれの分野の技術エッセンスを学び取ることができ、高度な融合教育が可能になると考えております。

以下では私の研究内容を具体的に紹介致します。

### ● 極浅接合形成技術

MOSトランジスタの電流の出入り口であるソースとドレインの接合は微細化の進展と共に徐々に浅くされ、今や20nm以下の接合が必用とされています。シリコンへのドーパントの導入はイオン注入が一般的です。現在の量産現場ではイオン注入後の活性化熱処理にRTA (Rapid Thermal Annealing) という秒オーダの短時間熱処理が使われています。熱処理中のドーパントの拡散を抑えるためです。我々は現在よりもさらに浅い10nm級以下の極浅接合形成のためにRTAに代わる熱処理法の研究をすすめています。図1にKrFエキシマレーザで形成した深さ9.5nmのp+/n接合におけるBの深さ方向プロファイルを示します。38nsという極短パルスレーザによる活性化処理では拡



散による接合の拡がりは0.2nm以下でありました。このような短時間アニールでも基板温度を450℃に昇温することで1kΩ/sq.以下という良好なシート抵抗値、言い換えますと良好な活性化が可能であることを見いだしました。今後は実際のデバイス製作に用いる際の問題点の洗い出しとその解決を行います。レーザアニール以外のものも含めてポストRTAというべきアニール技術は、いずれも長所、短所の両面がありそれぞれに適したデバイス構造、材料を見極める研究を続ける予定です。

## ● メタルゲート仕事関数制御技術

最近のMOSトランジスタの高性能化はゲート絶縁膜の急激な薄膜化によって推し進められてきました。しかし、通常ゲート電極材料に使われるポリシリコンには空乏化が生じるという問題があり、今後はいくらゲート絶縁膜を薄くしてもこの空乏化の影響によって実効的な厚さを薄くできないという問題があります。このため、古くから金属材料の採用（あるいは回帰）が検討されてきましたがpMOS、nMOSそれぞれに適するように仕事関数を変えることが困難という問題がありました。近年、ゲートメタル電極と絶縁膜の界面に不純物をパイルアップさせることで仕事関数を変調する手法がいくつか報告され研究が活発になってきました。我々はMo上に堆積したTiN膜からの固相拡散によって約-0.4eVの仕事関数シフトが可能であり、界面にパイルアップする窒素量によってその値が変わることを見いだしました。図2はMo MOS構造中の窒素の深さ方向プロファイルです。MoとSiO<sub>2</sub>膜の界面付近に窒素がパイルアップしていることがわかります。Mo膜を通して窒素を深くイオン注入するとさらに大きな仕事関数シフトが得られましたが、この場合には酸化膜とシリコンの界面にパイルアップした窒素の影響によると思われるダメージが問題です。実用化のためには如何にしてより大きな仕事関数シフトをダメージ等無く得られるかさらなる研究が必用です。このテーマはゲート絶縁膜の研究を行っている中島先生、宮崎先生のご協力も得て推進されています。また角南先生の立体構造トランジスタとの組み合わせも提案されています。このようなCOE内での協力も得てさらに研究を進める予定です。

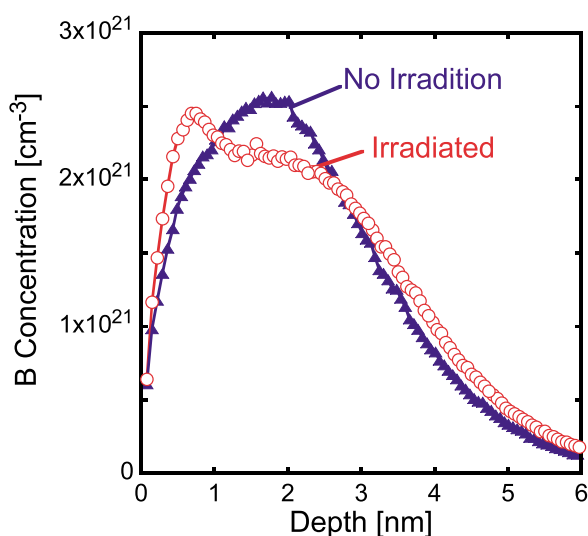


図1 KrFエキシマレーザアニールで形成した深さ9.5nmの極浅接合中の、二次イオン質量分析法（SIMS）で求めたBの深さ方向プロファイル。レーザの照射による接合の拡がりは0.2nm以下に抑えられている。

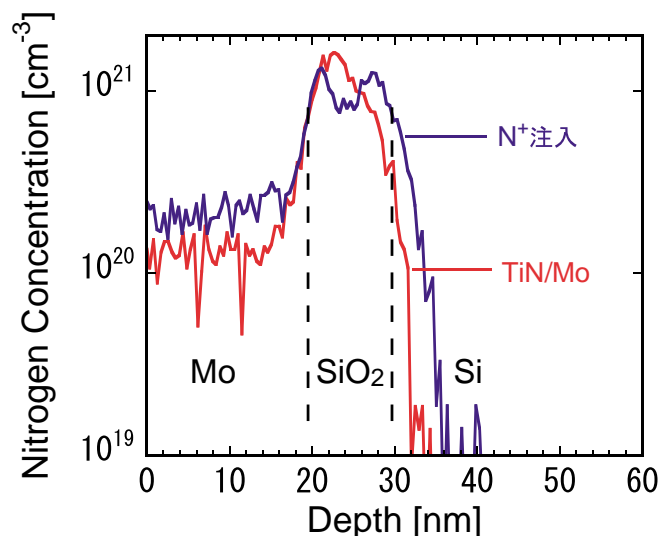


図2 バックサイドSIMS法で求めた窒素添加したモリブデンMOS構造中の窒素プロファイル。TiNからの固相拡散で窒素を導入した場合絶縁膜上部界面にのみ窒素のパイルアップが見られた。一方窒素注入では下方界面にもパイルアップが見られる。上方界面にのみいかに適量の窒素をパイルアップさせるかがダメージの無い仕事関数制御を実現する鍵である。